

数据手册

MH32F103Axxxx

增强型，真随机数，硬件加密算法单元，32位核心的带128K字节至256K字节闪存的微控制器 USB、CAN、17个定时器、3个ADC、2个DAC、15个通信接口

功能：

- 内核：32位的Core
 - 最高216MHz工作频率，可达2.54DMips/MHz(CoreMark1.0)
 - 单周期乘法和硬件除法
- 存储器
 - 128K/256K字节的闪存程序存储器
 - 32K/64K/96K字节的SRAM
- 时钟、复位和电源管理
 - 2.0~3.6伏供电和I/O引脚
 - 上电/断电复位(POR/PDR)、可编程电压监测器(PVD)
 - 4~32MHz晶体振荡器
 - 内嵌经出厂调校的8MHz的RC振荡器
 - 内嵌带校准的40kHz的RC振荡器
 - 带校准功能的32kHz RTC振荡器
- 低功耗
 - 睡眠、停机和待机模式
 - VBAT为RTC和后备寄存器供电
- 3个12位模数转换器，1us转换时间(多达21个输入通道)
 - 转换范围：0至3.6V
 - 三组采样和保持功能
 - 温度传感器
- 2个12位D/A转换器
- DMA：12通道 DMA控制器
 - 支持的外设：定时器、ADC、DAC、SDIO、SPI、I2S、I2C和USART
- 调试模式
 - 串行单线调试(SWD)和JTAG接口
 - 内嵌跟踪模块(ETM)
- 多达51个I/O端口
 - 51个多功能双向的I/O口，所有I/O口可以映像到16个外部中断
 - 所有GPIO均可强制配置上下拉电阻
- 增强型CRC计算单元
- 17个定时器
 - 10个16位定时器，每个定时器有多达4个用于输入捕获/输出比较/PWM或脉冲计数的通道和增量编码器输入
- 2个16位带死区控制和紧急刹车，用于电机控制的PWM高级控制定时器
- 2个看门狗定时器(独立的和窗口型的)
- 系统时间定时器：24位自减型计数器
- 2个16位基本定时器
- 多达13个通信接口
 - 多达2个I2C接口(支持SMBus/PMBus)
 - 多达5个USART接口(支持ISO7816, LIN, IrDA接口和调制解调控制)
 - 多达3个SPI接口，2个带I2S接口多路复用
 - CAN接口(2.0B 主动)
 - USB 2.0全速接口(可选内部1.5K上拉电阻)
 - SDIO接口
- 硬件加密算法单元
 - 内置硬件算法(DES、AES、SHA、SM1、SM3、SM4、SM7)
 - 提供完整高性能算法库
- TRNG：TRNG单元用于产生真随机数序列
 - 四个独立真随机源，可单独配置
 - 一次可产生128BIT随机数
 - 可选数字处理后功能
 - 攻击检测
- SENSOR：电压温度传感器报警
 - 可单独检测VBAT和VDD电压
 - 提供温度检测传感器
 - 可选报警后复位或者中断
- SRAM加扰
 - 支持地址、数据加扰
- 一次性可编程(OTP)
 - 支持32 Byte
- AES加密下载(部分型号支持):
 - 可下载使用AES加密后的HEX，硬件进行解密执行
 - 支持区域加密，解密功能

MH32F103Axxxx 数据手册

目录

1 介绍	5
2 规格说明	6
器件一览	7
概述	7
2.1.1 32位Core核心并内嵌闪存和SRAM	7
2.1.2 内置闪存存储器	7
2.1.3 存储器保护单元(MPU)	8
2.1.4 内置SRAM内置闪存存储器	8
2.1.5 CRC(循环冗余校验)计算单元	8
2.1.6 嵌套的向量式中断控制器(NVIC)	8
2.1.7 外部中断/事件控制器(EXTI)	9
2.1.8 时钟和启动	9
2.1.9 启动模式	9
2.1.10 供电方案	9
2.1.11 供电监控器	9
2.1.12 电压调压器	10
2.1.13 低功耗模式	10
2.1.14 DMA	10
2.1.15 RTC(实时时钟)和后备寄存器	11
2.1.16 定时器和看门狗	11
2.1.17 I2C总线	13
2.1.18 通用同步/异步收发器(USART)	13
2.1.19 串行外设接口(SPI)	13
2.1.20 音频接口(I2S)	13
2.1.21 SDIO	13
2.1.22 控制器区域网络(CAN)	13
2.1.23 通用串行总线(USB)	14
2.1.24 通用输入输出接口(GPIO)	14
2.1.25 ADC(模拟/数字转换器)	14
2.1.26 DAC(数字/模拟信号转换器)	14
2.1.27 温度传感器	15
2.1.28 串行单线JTAG调试口(SWJ-DP)	15
2.1.29 内嵌跟踪模块(ETM)	15
2.1.30 真随机数发生器(TRNG)	15
3 引脚定义	16
LQFP48封装	16
LQFP64封装	16
LQFP48管脚定义	17
LQFP64管脚定义	18
4 电气特性	21
测试条件	21
4.1.1 最小和最大数值	21
4.1.2 典型数值	21
4.1.3 典型曲线	21
4.1.4 负载电容	21
4.1.5 引脚输入电压	21
4.1.6 供电方案	22
4.1.7 电流消耗测量	23
绝对最大额定值	23

工作条件	24
4.1.8 通用工作条件	24
4.1.9 上电和掉电时的工作条件	24
4.1.10 内嵌复位和电源控制模块特性.....	24
4.1.11 内置的参照电压	25
4.1.12 供电电流特性	26
4.1.13 外部时钟源特性	29
4.1.14 内部时钟源特性	32
4.1.15 从低功耗模式唤醒的时间	33
4.1.16 PLL特性	34
4.1.17 存储器特性.....	34
4.1.18 绝对最大值(电气敏感性)	34
4.1.19 I/O端口特性	35
4.1.20 NRST引脚特性	36
4.1.21 TIM定时器特性	37
4.1.22 CAN(控制器局域网)接口	37
4.1.23 12位ADC特性	37
4.1.24 DAC电气参数	39
4.1.25 温度传感器特性	40
5 封装特性	42
LQFP48封装	42
LQFP64封装	43
6 订货代码	44
7 附录.....	45

表目录

表 1 器件功能配置表.....	7
表 2 供电电压和FLASH DELAY等级匹配关系表.....	7
表 3 TIM配置表.....	11
表 4 LQFP 48管脚定义配置表	17
表 5 LQFP 64管脚定义配置表	18
表 6 电压特性.....	23
表 7 电流特性.....	23
表 8 温度特性.....	24
表 9 通用工作条件	24
表 10 上电和掉电时的工作条件	24
表 11 内嵌复位和电源控制模块特性	24
表 12 内置的参照电压.....	25
表 13 运行模式下电流消耗	26
表 14 睡眠模式下的电流消耗，代码运行在FLASH中	27
表 15 停机和待机模式下的典型和最大电流消耗	27
表 16 内置外设的电流消耗	28
表 17 高速外部用户时钟特性	29
表 18 低速外部用户时钟特性	30
表 19 HSE 4~32MHz振荡器特性 (1) (2)	31
表 20 LSE 振荡器特性 (FLSE=32.768kHz) (1)	32
表 21 HSI振荡器特性 (1)	33
表 22 LSI振荡器特性 (1)	33
表 23 低功耗模式的唤醒时间	33
表 24 PLL特性.....	34
表 25 闪存存储器特性.....	34
表 26 闪存存储器寿命和数据保存期限	34
表 27 ESD绝对最大值.....	35
表 28 I/O静态特性.....	35
表 29 输出电压特性.....	36
表 30 NRST引脚特性.....	36
表 31 TIMx特性	37
表 32 ADC特性.....	37
表 33 FADC=14MHz (1)时的最大RAIN.....	38
表 34 DAC特性.....	39
表 35 温度传感器特性.....	40
表 36 MH32F103A系列订货代码信息图示.....	44
表 37 文档版本历史	45

图目录

图 1 LQFP48封装.....	16
图 2 LQFP64封装.....	16
图 3 引脚的负载条件.....	21
图 4 引脚输入电压.....	22
图 5 供电方案.....	22
图 6 电流消耗测量方案.....	23
图 7 外部高速时钟源的交流时序图.....	30
图 8 外部低速时钟源的交流时序图.....	31
图 9 使用8MHz晶体的典型应用.....	32
图 10 使用32.768KHz晶体的典型应用.....	32
图 11 建议的NRST引脚保护.....	37
图 12 V SENSE 对温度理想曲线图(1).....	41
图 13 V SENSE 对温度理想曲线图(2).....	41
图 14 LQFP48 7MM×7MM封装尺寸.....	42
图 15 LQFP64 10MM×10MM封装尺寸.....	43

1 介绍

数据手册中的内容包括：产品的基本配置(如内置Flash和RAM的容量、外设模块的种类和数量等)，管脚的数量和分配，电气特性，封装信息，和订购代码等。

2 规格说明

MH32F103Axxxx系列使用高性能的32位内核，最高工作频率216 MHz。

内置的存储器包括：最大216K Flash，96Sram

该系列内置了多达2个高级定时器、10个通用定时器、2个基本定时器、3个12位的ADC、2个12位的DAC，还包含标准和先进的通信接口包括：3个SPI接口、2个I2S接口、2个I2C接口、5个U(S)ART接口、1个USB2.0全速串行通信接口、1个CAN总线控制器、1个SDIO接口

MH32F103Axxxx系列工作于-40℃至+85℃的温度范围，供电电压2.0 V至3.6 V，省电模式保证低功耗应用的要求。

由于拥有这些外设配置，MH32F103Axxxx可适用于多种应用场景：

- 工业应用，如可编程控制器、打印机、扫描仪等
- 电机驱动和调速控制
- 物联网低功耗传感器终端，如运动手环等
- 无人机飞控、云台控制
- 玩具产品
- 家用电器
- 智能机器人
- 智能手表

器件一览

表 1 器件功能配置表

系列		MH32F103A		
型号		CBT6	CCT6	RPT6
闪存(K 字节)		128	256	256
SRAM(K 字节)		32	64	96
定时器	高级	1	1	2
	通用	4	4	10
	基本	2	2	2
通信接口	SPI	3	3	3
	I2S	–	–	2
	I2C	2	2	2
	USART/UART	3	3	5
	USB	1	1	1
	CAN	1	1	1
	SDIO	–	–	1
GPIO 端口		37	37	51
12 位 ADC 模块(通道数)		2(10 通道)	2(10 通道)	3(16 通道)
12 位 DAC 模块(通道数)		2(2 通道)	2(2 通道)	2(2 通道)
随机数模块		支持		
硬件加密算法单元		支持		
页大小(K 字节)		1	2	2
CPU 频率		216M		
工作电压		2.0~3.6V		
工作温度		- 40 to +85℃		
封装形式		LQFP48		LQFP64

概述

2.1.1 32位Core核心并内嵌闪存和SRAM

32位的Core为实现MCU的需要提供了低成本的平台、缩减的引脚数目、降低的系统功耗，同时提供卓越的
计算性能和先进的中断系统响应。

2.1.2 内置闪存存储器

最大256K的内置闪存存储器，用于存放程序和数据。

表 2 供电电压和Flash Delay等级匹配关系表

Flash Delay 等级	HCLK (MHz)	
	Voltage Range	Voltage Range

	2.3V - 3.6V	2.0V - 2.3V
0	$0 < \text{HCLK} \leq 108$	$0 < \text{HCLK} \leq 32$
1	$108 < \text{HCLK} \leq 216$	$32 < \text{HCLK} \leq 64$
2	–	$64 < \text{HCLK} \leq 128$
3	–	$128 < \text{HCLK} \leq 192$
4	–	$192 < \text{HCLK} \leq 216$

2.1.3 存储器保护单元(MPU)

存储器保护单元(MPU)用于管理CPU 对存储器的访问，防止一个任务意外损坏另一个激活任务所使用的存储器或资源。此存储区被组织为最多8个保护区，还可依次再被分为最多8个子区。保护区大小可为32字节至可寻址存储器的整个4 G字节。

若应用中有一些关键的或认证的代码必须受到保护，以免被其它任务的错误行为影响，则MPU尤其有用。它通常由RTOS(实时操作系统)管理。若程序访问的存储器位置被MPU禁止，则RTOS可检测到它并采取行动。在RTOS环境中，内核可基于执行的进程，动态更新MPU区的设置。

2.1.4 内置SRAM内置闪存存储器

最大96K字节的内置SRAM，CPU能以0等待周期访问(读/写)。

2.1.5 CRC(循环冗余校验)计算单元

CRC(循环冗余校验)计算单元使用一个固定的多项式(可选多种模式，并可进行硬件数据处理)发生器，从一个32位的数据字产生一个CRC码。

在众多的应用中，基于CRC的技术被用于验证数据传输或存储的一致性。在EN/IEC 60335-1标准的范围内，它提供了一种检测闪存存储器错误的手段。

2.1.6 嵌套的向量式中断控制器(NVIC)

内置嵌套的向量式中断控制器，能够处理多达43个可屏蔽中断通道(不包括16个Core的中断线)和16个优先级。

- 紧耦合的NVIC能够达到低延迟的中断响应处理
- 中断向量入口地址直接进入内核
- 紧耦合的NVIC接口
- 允许中断的早期处理
- 处理晚到的较高优先级中断

- 支持中断尾部链接功能
- 自动保存处理器状态
- 中断返回时自动恢复，无需额外指令开销

该模块以最小的中断延迟提供灵活的中断管理功能。

2.1.7 外部中断/事件控制器(EXTI)

外部中断/事件控制器包含19个边沿检测器，用于产生中断/事件请求。每个中断线都可以独立地配置它的触发事件(上升沿或下降沿或双边沿)，并能够单独地被屏蔽；有一个挂起寄存器维持所有中断请求的状态。EXTI可以检测到脉冲宽度小于内部APB2的时钟周期。最多可连接80个通用I/O口连接到16个外部中断线。

2.1.8 时钟和启动

系统时钟的选择是在启动时进行，复位时内部8MHz的RC振荡器被选为默认的CPU时钟，随后可以选择外部的、具失效监控的4~32MHz时钟；当检测到外部时钟失效时，它将被隔离，系统将自动地切换到内部的RC振荡器，如果使能了中断，软件可以接收到相应的中断。同样，在需要时可以采取对PLL时钟完全的中断管理(如当一个间接使用的外部振荡器失效时)。

多个预分频器用于配置AHB的频率、高速APB (APB2) 和低速APB (APB1) 区域。AHB和高速APB的最高频率是216MHz，低速APB的最高频率为108MHz。

2.1.9 启动模式

在启动时，通过自举引脚可以选择三种自举模式中的一种：

- 从程序闪存存储器自举
- 从系统存储器自举
- 从内部SRAM自举

自举加载程序(Bootloader)存放于系统存储器中，可以通过USART1对闪存重新编程。

2.1.10 供电方案

- VDD：为I/O引脚和内部调压器供电。
- VSSA, VDDA：为ADC、复位模块、RC振荡器和PLL的模拟部分提供供电。VDDA和VSSA必须分别连接到VDD和VSS。
- VBAT：当关闭VDD时，(通过内部电源切换器)为RTC、外部32kHz振荡器和后备寄存器供电。

注：各电压范围参考参考表9通用工作条件

2.1.11 供电监控器

本产品内部集成了上电复位(POR)/掉电复位(PDR)电路，该电路始终处于工作状态，保证系统在供电超

过2V时工作；当VDD低于设定的阈值(VPOR/PDR)时，置器件于复位状态，而不必使用外部复位电路。器件中还有一个可编程电压监测器(PVD)，它监视VDD/VDDA供电并与阈值VPVD比较，当VDD低于或高于阈值VPVD时产生中断，中断处理程序可以发出警告信息或将微控制器转入安全模式。PVD功能需要通过程序开启。

2.1.12 电压调压器

调压器有三个操作模式：主模式(MR)、低功耗模式(LPR)和关断模式

- 主模式(MR)用于正常的运行操作
- 低功耗模式(LPR)用于CPU的停机模式
- 关断模式用于CPU的待机模式：调压器的输出为高阻状态，内核电路的供电切断，调压器处于零消耗状态(但寄存器和SRAM的内容将丢失)

该调压器在复位后始终处于工作状态，在待机模式下关闭处于高阻输出。

2.1.13 低功耗模式

- 睡眠模式

在睡眠模式，只有CPU停止，所有外设处于工作状态并可在发生中断/事件时唤醒CPU。

- 停机模式

在保持SRAM和寄存器内容不丢失的情况下，停机模式可以达到最低的电能消耗。在停机模式下，停止所有内部1.1V部分的供电，PLL、HSI的RC振荡器和HSE晶体振荡器被关闭，调压器可以被置于普通模式或低功耗模式。

可以通过任一配置成EXTI的信号把微控制器从停机模式中唤醒，EXTI信号可以是16个外部I/O口之一、PVD的输出、RTC闹钟或USB的唤醒信号。

- 待机模式

在待机模式下可以达到最低的电能消耗。内部的电压调压器被关闭，因此所有内部1.1V部分的供电被切断；PLL、HSI的RC振荡器和HSE晶体振荡器也被关闭；进入待机模式后，SRAM和寄存器的内容将消失，但后备寄存器的内容仍然保留，待机电路仍工作。从待机模式退出的条件是：NRST上的外部复位信号、IWDG复位、WKUP引脚上的一个上升边沿或RTC的闹钟到时。

注：在进入停机或待机模式时，RTC、IWDG和对应的时钟不会被停止

2.1.14 DMA

最多支持12路通用DMA(DMA1为7通道，DMA2为5通道)可以管理存储器到存储器、设备到存储器和存储器到设备的数据传输；DMA控制器支持环形缓冲区的管理，避免了控制器传输到达缓冲区结尾时所产生的中断。

每个通道都有专门的硬件DMA请求逻辑，同时可以由软件触发每个通道；传输的长度、传输的源地址和目标地址都可以通过软件单独设置。DMA可以用于主要的外设：SPI/I2S、I2C、USART，高级/通用/

基本定时器TIMx、ADC、DAC、SDIO。

2.1.15 RTC(实时时钟)和后备寄存器

RTC和后备寄存器通过一个开关供电，在VDD有效时该开关选择VDD供电，否则由VBAT引脚供电。后备寄存器(42个16位的寄存器)可以用于在关闭VDD时，保存84个字节的用户应用数据。RTC和后备寄存器不会被系统或电源复位源复位；当从待机模式唤醒时，也不会被复位。

实时时钟具有一组连续运行的计数器，可以通过适当的软件提供日历时钟功能，还具有闹钟中断和阶段性中断功能。RTC的驱动时钟可以是一个使用外部晶体的32.768kHz的振荡器、内部低功耗RC振荡器或高速的外部时钟经128分频。内部低功耗RC振荡器的典型频率为40kHz。为补偿天然晶体的偏差，可以通过输出一个512Hz的信号对RTC的时钟进行校准。RTC具有一个32位的可编程计数器，使用比较寄存器可以进行长时间的测量。有一个20位的预分频器用于时基时钟，默认情况下时钟为32.768kHz时，它将产生一个1秒长的时间基准。

2.1.16 定时器和看门狗

本系列产品最多包含2个高级控制定时器、4个普通定时器、2个基本定时器、2个看门狗定时器和1个系统嘀嗒定时器。

下表比较了高级控制定时器、普通定时器和基本定时器的功能：

表 3 TIM配置表

定时器	计数器分辩	计数器类型	预分频系数	产生 DMA 请求	捕获/比较通道	互补输出
TIM1 TIM8	16 位	向上, 向下, 向上/下	1~65536 之间的 任意整数	可以	4	有
TIM2 TIM3 TIM4 TIM5	16 位	向上, 向下, 向上/下	1~65536 之间的 任意整数	可以	4	没有
TIM9 TIM12	16 位	向上	1~65536 之间的 任意整数	不可以	2	没有
TIM10 TIM11 TIM13 TIM14	16 位	向上	1~65536 之间的 任意整数	不可以	1	没有
TIM6 TIM7	16 位	向上	1~65536 之间的 任意整数	可以	0	没有

高级控制定时器(TIM1和TIM8)

两个高级控制定时器(TIM1和TIM8)可以被看成是分配到6个通道的三相PWM发生器，它具有带死区插入的互补PWM输出，还可以被当成完整的通用定时器。四个独立的通道可以用于：

- 输入捕获
- 输出比较

- 产生PWM(边缘或中心对齐模式)
- 单脉冲输出

配置为16位标准定时器时，它与TIMx定时器具有相同的功能。配置为16位PWM发生器时，它具有全调制能力(0~100%)。

在调试模式下，计数器可以被冻结，同时PWM输出被禁止，从而切断由这些输出所控制的开关。

很多功能都与标准的TIM定时器相同，内部结构也相同，因此高级控制定时器可以通过定时器链接功能与TIM定时器协同操作，提供同步或事件链接功能。

通用定时器(TIM2、TIM3、TIM4、TIM5)

本系列产品中，内置了4个可同步运行的标准定时器(TIM2、TIM3、TIM4、TIM5)。每个定时器都有一个16位的自动加载递加/递减计数器、一个16位的预分频器和4个独立的通道，每个通道都可用于输入捕获、输出比较、PWM和单脉冲模式输出。它们还能通过定时器链接功能与高级控制定时器共同工作，提供同步或事件链接功能。在调试模式下，计数器可以被冻结。任一标准定时器都能用于产生PWM输出。每个定时器都有独立的DMA请求机制。

这些定时器还能够处理增量编码器的信号，也能处理1至3个霍尔传感器的数字输出。

通用定时器(TIM10、TIM11、TIM9)

这些定时器基于16位自动重新加载计数器和16位预分频器。TIM10和TIM11有一个独立的通道，而TIM9有两个用于输入捕获/输出比较、PWM或单脉冲模式的独立通道输出它们可以与TIM2、TIM3、TIM4、TIM5全功能同步通用定时器。它们也可以用作简单的时基。

通用定时器(TIM13、TIM14、TIM12)

这些定时器基于16位自动重新加载计数器和16位预分频器。TIM13和TIM14有一个独立的通道，而TIM12有两个独立的通道用于输入捕获/输出比较、PWM或单脉冲模式的独立通道输出它们可以与TIM2、TIM3、TIM4、TIM5全功能同步通用定时器。它们也可以用作简单的时基。

独立看门狗

独立的看门狗是基于一个12位的递减计数器和一个8位的预分频器，它由一个内部独立的40kHz的RC振荡器提供时钟；因为这个RC振荡器独立于主时钟，所以它可运行于停机和待机模式。它可以被当成看门狗用于在发生问题时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。

基本定时器TIM6和TIM7

这些定时器主要用于DAC触发器的生成。它们也可以用作通用16位时基。

窗口看门狗

窗口看门狗内有一个7位的递减计数器，并可以设置成自由运行。它可以被当成看门狗用于在发生问题时复位整个系统。它由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。

系统时基定时器

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24位的递减计数器

- 自动重加载功能
- 当计数器为0时能产生一个可屏蔽系统中断
- 可编程时钟源

2.1.17 I2C总线

多达2个I2C总线接口，能够工作于多主模式或从模式，支持标准和快速模式。I2C接口支持7位或10位寻址，7位从模式时支持双从地址寻址。内置了硬件CRC发生器/校验器。

它们可以使用DMA操作并支持SMBus总线2.0版/PMBus总线。

2.1.18 通用同步/异步收发器(USART)

3个通用同步/异步收发器(USART1、USART2和USART3)和2个通用异步接收发射机(UART4和UART5)。

这五个接口提供异步通信、IrDA SIR ENDEC支持、多处理器通信模式、单线半双工通信模式和LIN主/从功能。

USART1接口通信速率可达13.5兆位/秒。

USART1、USART2和USART3接口具有硬件的CTS和RTS信号管理、兼容ISO7816的智能卡模式和类SPI通信模式。

2.1.19 串行外设接口(SPI)

最多3个SPI接口，在从或主模式下，全双工和半双工的通信速率可达30兆位/秒。3位的预分频器可产生8种主模式频率，可配置成每帧8位或16位。硬件的CRC产生/校验支持基本的SD卡和MMC模式。

所有的SPI接口都可以使用DMA操作。

2.1.20 音频接口(I2S)

2个标准的I2S接口(与SPI2和SPI3复用)可以工作于主或从模式，这2个接口可以配置为16位或32位传输，亦可配置为输入或输出通道，支持音频采样频率从8kHz到48kHz。当任一个或两个I2S接口配置为主模式，它的主时钟可以以256倍采样频率输出给外部的DAC或CODEC(解码器)。

2.1.21 SDIO

SD/SDIO/MMC主机接口可以支持MMC卡系统规范4.2版中的3个不同的数据总线模式：1位(默认)、4位和8位。SDIO存储卡规范2.0版支持两种数据总线模式：1位(默认)和4位。目前的芯片版本只能一次支持一个SD/SDIO/MMC 4.2版的卡，但可以同时支持多个MMC 4.1版或之前版本的卡。

除了SD/SDIO/MMC，这个接口完全与CE-ATA数字协议版本1.1兼容。

2.1.22 控制器区域网络(CAN)

CAN接口兼容规范2.0A和2.0B(主动)，位速率高达1兆位/秒。它可以接收和发送11位标识符的标准帧，

也可以接收和发送29位标识符的扩展帧。具有3个发送邮箱和2个接收FIFO，3级14个可调节的滤波器。

2.1.23 通用串行总线(USB)

内嵌一个兼容全速USB的设备控制器，遵循全速USB设备(12兆位/秒)标准，端点可由软件配置，具有待机/唤醒功能。USB专用的48MHz时钟由内部主PLL直接产生(时钟源可任意)。

2.1.24 通用输入输出接口(GPIO)

每个GPIO引脚都可以由软件配置成输出(推挽或开漏)、输入(带或不带上拉或下拉)或复用的外设功能端口。多数GPIO引脚都与数字或模拟的复用外设共用。除了具有模拟输入功能的端口，所有的GPIO引脚都有大电流通过能力。

在需要的情况下，I/O引脚的外设功能可以通过一个特定的操作锁定，以避免意外的写入I/O寄存器。每个I/O均可配置强制上、下拉电阻，节省外部电阻消耗。

2.1.25 ADC(模拟/数字转换器)

最多支持3个12位的模拟/数字转换器(ADC)，每个ADC共用多达16个外部通道，可以实现单次或扫描转换。在扫描模式下，自动进行在选定的一组模拟输入上的转换。

ADC接口上的其它逻辑功能包括：

- 同步的采样和保持
- 交叉的采样和保持
- 单次采样

ADC可以使用DMA操作。

模拟看门狗功能允许非常精准地监视一路、多路或所有选中的通道，当被监视的信号超出预置的阈值时，将产生中断。

由标准定时器(TIMx)和高级控制定时器(TIM1和TIM8)产生的事件，可以分别内部级联到ADC的开始触发和注入触发，应用程序能使AD转换与时钟同步。

2.1.26 DAC(数字/模拟信号转换器)

两个12位带缓冲的DAC通道可以用于转换2路数字信号成为2路模拟电压信号并输出。

这个双数字接口支持下述功能：

- 两个DAC转换器：各有一个输出通道
- 8位或12位单调输出
- 12位模式下的左右数据对齐
- 同步更新功能
- 产生噪声波
- 产生三角波

- 双DAC通道独立或同步转换
- 每个信道都可使用DMA功能
- 外部触发进行转换
- 输入参考电压V_{REF+}

DAC通道可以由定时器的更新输出触发，更新输出也可连接到不同的DMA通道。

2.1.27 温度传感器

温度传感器产生一个随温度线性变化的电压。温度传感器在内部被连接到ADC1_IN16的输入通道上，用于将传感器的输出转换成数字数值。

2.1.28 串行单线JTAG调试口 (SWJ-DP)

内嵌的SWJ-DP接口，这是一个结合了JTAG和串行单线调试的接口，可以实现串行单线调试接口或JTAG接口的连接。JTAG的TMS和TCK信号分别与SWDIO和SWCLK共用引脚，TMS脚上的一个特殊的信号序列用于在JTAG-DP和SW-DP间切换。

2.1.29 内嵌跟踪模块 (ETM)

使用嵌入式跟踪微单元 (ETM)，通过很少的ETM引脚连接到外部跟踪端口分析 (TPA) 设备，从CPU核心中以高速输出压缩的数据流，为开发人员提供了清晰的指令运行与数据流动的信息。TPA设备可以通过USB、以太网或其它高速通道连接到调试主机，实时的指令和数据流向能够被调试主机上的调试软件记录下来，并按需要的格式显示出来。TPA硬件可以从开发工具供应商处购得，并能与第三方的调试软件兼容。

2.1.30 真随机数发生器 (TRNG)

TRNG单元用于产生真随机数序列。一次工作产生128-bit真随机数序列。
可配置随机数生成后产生CPU中断请求。

3 引脚定义

LQFP48封装

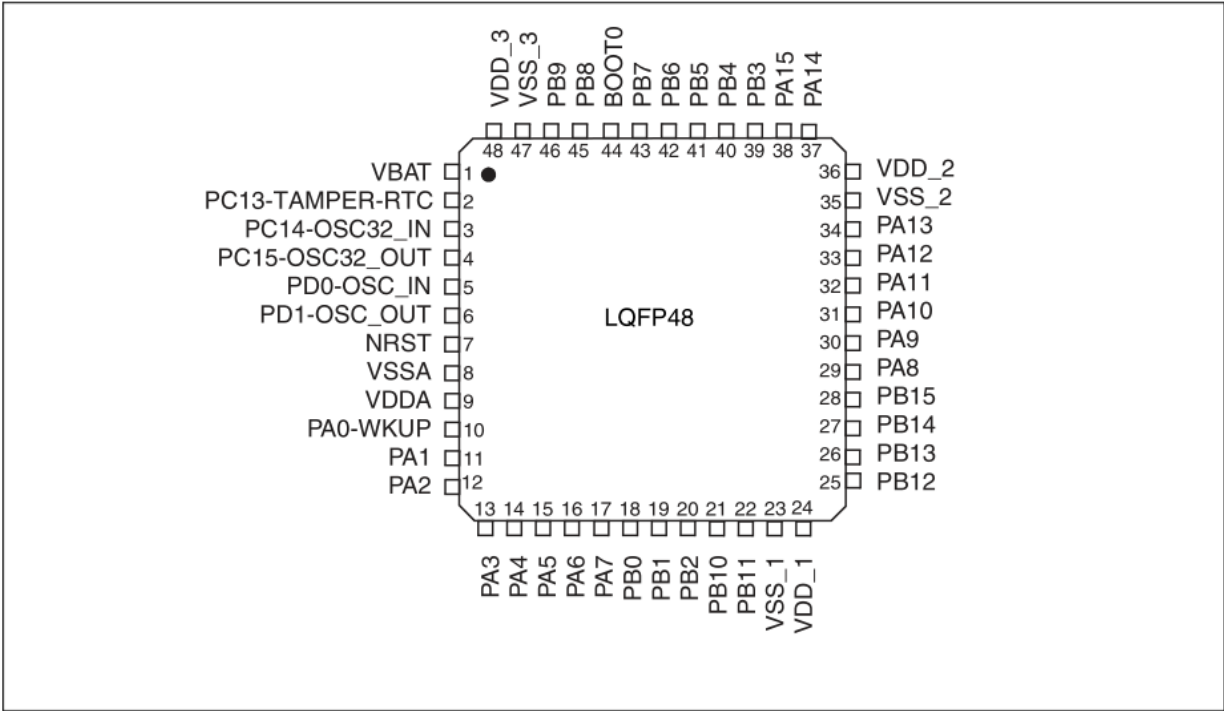


图 1 LQFP48封装

LQFP64封装

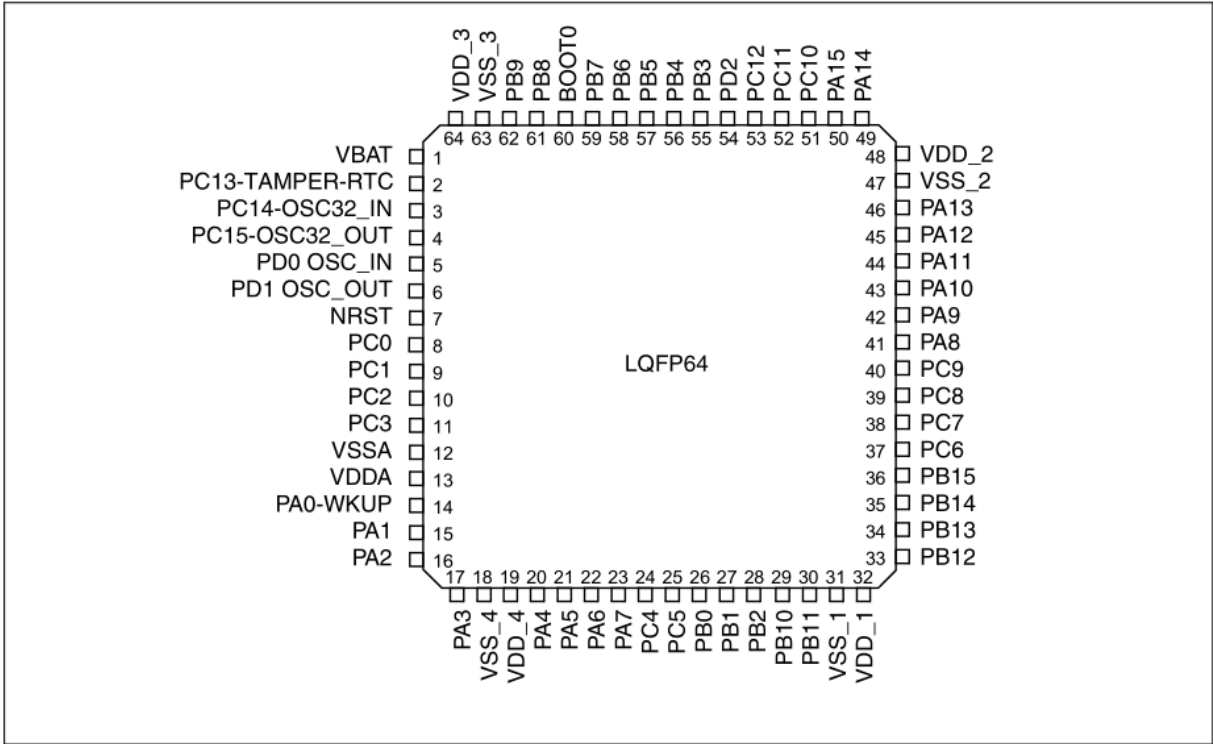


图 2 LQFP64封装

LQFP48管脚定义

表 4 LQFP 48管脚定义配置表

LQFP 48	Pin Name	Type	I/O Level	Main Function (after reset)	Default	Remap
1	VBAT	S	-	VBAT	-	-
2	PC13-TAMPERRTC	I/O	-	PC13	TAMPER-RTC	-
3	PC14-OSC32_IN	I/O	-	PC14	OSC32_IN	-
4	PC15-OSC32_OUT	I/O	-	PC15	OSC32_OUT	-
5	OSC_IN	I/O	-	OSC_IN	-	PD0
6	OSC_OUT	I/O	-	OSC_OUT	-	PD1
7	NRST	I/O	-	NRST	-	-
8	VSSA	S	-	VSSA	-	-
9	VDDA	S	-	VDDA	-	-
10	PA0-WKUP	I/O	-	PA0	WKUP/USART2_CTS/ ADC12_IN0/TIM2_CH1_ETR/ TIM5_CH1	-
11	PA1	I/O	-	PA1	USART2_RTS/ADC12_IN1/ TIM2_CH2/TIM5_CH2	-
12	PA2	I/O	-	PA2	USART2_TX/ADC12_IN2/ TIM2_CH3/TIM5_CH3/	-
13	PA3	I/O	-	PA3	USART2_RX/ADC12_IN3/ TIM2_CH4/TIM5_CH4/	-
14	PA4	I/O	-	PA4	SPI1_NSS/USART2_CK/ DAC_OUT1/ADC12_IN4	-
15	PA5	I/O	-	PA5	SPI1_SCK/ADC12_IN5/ DAC_OUT2	-
16	PA6	I/O	-	PA6	SPI1_MISO/ADC12_IN6/ TIM3_CH1	TIM1_BKIN
17	PA7	I/O	-	PA7	SPI1_MOSI/ADC12_IN7/ TIM3_CH2	TIM1_CH1N
18	PB0	I/O	-	PB0	ADC12_IN8/TIM3_CH3	TIM1_CH2N
19	PB1	I/O	-	PB1	ADC12_IN9/TIM3_CH4	TIM1_CH3N
20	PB2	I/O	FT	PB2/BOOT1	-	-
21	PB10	I/O	FT	PB10	I2C2_SCL/USART3_TX	TIM2_CH3
22	PB11	I/O	FT	PB11	I2C2_SDA/USART3_RX	TIM2_CH4
23	VSS_1	S	-	VSS_1	-	-
24	VDD_1	S	-	VDD_1	-	-
25	PB12	I/O	FT	PB12	SPI2_NSS/I2C2_SMBA/ USART3_CK/TIM1_BKIN	-
26	PB13	I/O	FT	PB13	SPI2_SCK/USART3_CTS/ TIM1_CH1N	-
27	PB14	I/O	FT	PB14	SPI2_MISO/USART3_RTS/ TIM1_CH2N	-
28	PB15	I/O	FT	PB15	SPI2_MOSI/TIM1_CH3N	-
29	PA8	I/O	FT	PA8	USART1_CK/TIM1_CH1/ MCO	-
30	PA9	I/O	FT	PA9	USART1_TX/TIM1_CH2	-
31	PA10	I/O	FT	PA10	USART1_RX/TIM1_CH3	-
32	PA11	I/O	-	PA11	USART1_CTS/USBDM	-

					CAN_RX/TIM1_CH4	
33	PA12	I/O	–	PA12	USART1_RTS/USBDP/ CAN_TX/TIM1_ETR	–
34	PA13	I/O	FT	JTMS-SWDIO	–	PA13
35	VSS_2	S	–	VSS_2	–	–
36	VDD_2	S	–	VDD_2	–	–
37	PA14	I/O	FT	JTCK-SWCLK	–	PA14
38	PA15	I/O	FT	JTDI	SPI3_NSS	TIM2_CH1_ETR/PA15/ SPI1_NSS
39	PB3	I/O	FT	JTDO	SPI3_SCK	TIM2_CH2/PB3/ TRACESWO/SPI1_SCK
40	PB4	I/O	FT	NJTRST	SPI3_MISO	TIM3_CH1/PB4/ SPI1_MISO
41	PB5	I/O	–	PB5	I2C1_SMBA/ SPI3_MOSI	TIM3_CH2/SPI1_MOSI
42	PB6	I/O	FT	PB6	I2C1_SCL/TIM4_CH1	USART1_TX
43	PB7	I/O	FT	PB7	I2C1_SDA/TIM4_CH2	USART1_RX
44	BOOT0	I	–	BOOT0	–	–
45	PB8	I/O	FT	PB8	TIM4_CH3	I2C1_SCL/CAN_RX
46	PB9	I/O	FT	PB9	TIM4_CH4	I2C1_SDA/CAN_TX
47	VSS_3	S	–	VSS_3	–	–
48	VDD_3	S	–	VDD_3	–	–

(1) FT = 5V容忍

LQFP64管脚定义

表 5 LQFP 64管脚定义配置表

LQFP 64	Pin Name	Type	I/O Level	Main Function (after reset)	Default	Remap
1	VBAT	S	–	VBAT	–	–
2	PC13-TAMPERRTC	I/O	–	PC13	TAMPER-RTC	–
3	PC14-OSC32_IN	I/O	–	PC14	OSC32_IN	PD0
4	PC15-OSC32_OUT	I/O	–	PC15	OSC32_OUT	PD1
5	OSC_IN	I/O	–	OSC_IN	–	–
6	OSC_OUT	I/O	–	OSC_OUT	–	–
7	NRST	I/O	–	NRST	–	–
8	PC0	I/O	–	PC0	ADC123_IN10	–
9	PC1	I/O	–	PC1	ADC123_IN11	–
10	PC2	I/O	–	PC2	ADC123_IN12	–
11	PC3	I/O	–	PC3	ADC123_IN13	–
12	VSSA	S	–	VSSA	–	–
13	VDDA	S	–	VDDA	–	–
14	PA0-WKUP	I/O	–	PA0	WKUP/USART2_CTS/ ADC123_IN0/TIM2_CH1_ETR/ TIM5_CH1/TIM8_ETR	–
15	PA1	I/O	–	PA1	USART2_RTS/ADC123_IN1/ TIM2_CH2/TIM5_CH2	–
16	PA2	I/O	–	PA2	USART2_TX/ADC123_IN2/ TIM2_CH3/TIM5_CH3/ TIM9_CH1	–
17	PA3	I/O	–	PA3	USART2_RX/ADC123_IN3/ TIM2_CH4/TIM5_CH4/	–

					TIM9_CH2	
18	VSS_4	S	-	VSS_4	-	-
19	VDD_4	S	-	VDD_4	-	-
20	PA4	I/O	-	PA4	SPI1_NSS/USART2_CK/ DAC_OUT1/ADC12_IN4	-
21	PA5	I/O	-	PA5	SPI1_SCK/ADC12_IN5/ DAC_OUT2	-
22	PA6	I/O	-	PA6	SPI1_MISO/ADC12_IN6/ TIM3_CH1/TIM8_BKIN/ TIM13_CH1	TIM1_BKIN
23	PA7	I/O	-	PA7	SPI1_MOSI/ADC12_IN7/ TIM3_CH2/TIM8_CH1N/ TIM14_CH1	TIM1_CH1N
24	PC4	I/O		PC4	ADC12_IN14	-
25	PC5	I/O		PC5	ADC12_IN15	-
26	PB0	I/O	-	PB0	ADC12_IN8/TIM3_CH3/ TIM8_CH2N	TIM1_CH2N
27	PB1	I/O	-	PB1	ADC12_IN9/TIM3_CH4/ TIM8_CH3N	TIM1_CH3N
28	PB2	I/O	FT	PB2/BOOT1	-	-
29	PB10	I/O	FT	PB10	I2C2_SCL/USART3_TX	TIM2_CH3
30	PB11	I/O	FT	PB11	I2C2_SDA/USART3_RX	TIM2_CH4
31	VSS_1	S	-	VSS_1	-	-
32	VDD_1	S	-	VDD_1	-	-
33	PB12	I/O	FT	PB12	SPI2_NSS/I2S2_WS/ I2C2_SMBA/USART3_CK/ TIM1_BKIN	-
34	PB13	I/O	FT	PB13	SPI2_SCK/I2S2_CK/ USART3_CTS/TIM1_CH1N	-
35	PB14	I/O	FT	PB14	SPI2_MISO/TIM1_CH2N USART3_RTS/TIM12_CH1	-
36	PB15	I/O	FT	PB15	SPI2_MOSI/I2S2_SD/ TIM1_CH3N/TIM12_CH2	-
37	PC6	I/O	FT	PC6	I2S2_MCK/TIM8_CH1/ SDIO_D6	TIM3_CH1
38	PC7	I/O	FT	PC7	I2S3_MCK/TIM8_CH2/ SDIO_D7	TIM3_CH2
39	PC8	I/O	FT	PC8	TIM8_CH3/SDIO_D0	TIM3_CH3
40	PC9	I/O	FT	PC9	TIM8_CH4/SDIO_D1	TIM3_CH4
41	PA8	I/O	FT	PA8	USART1_CK/TIM1_CH1/ MCO	-
42	PA9	I/O	FT	PA9	USART1_TX/TIM1_CH2	-
43	PA10	I/O	FT	PA10	USART1_RX/TIM1_CH3	-
44	PA11	I/O	-	PA11	USART1_CTS/USBDM CAN_RX/TIM1_CH4	-
45	PA12	I/O	-	PA12	USART1_RTS/USBDP/ CAN_TX/TIM1_ETR	-
46	PA13	I/O	FT	JTMS-SWDIO	-	PA13
47	VSS_2	S	-	VSS_2	-	-
48	VDD_2	S	-	VDD_2	-	-
49	PA14	I/O	FT	JTCK-SWCLK	-	PA14
50	PA15	I/O	FT	JTDI	SPI3_NSS/I2S3_WS	TIM2_CH1_ETR/PA15/ SPI1_NSS
51	PC10	I/O	FT	PC10	UART4_TX/SDIO_D2	USART3_TX

52	PC11	I/O	FT	PC11	UART4_RX/SDIO_D3	USART3_RX
53	PC12	I/O	FT	PC12	UART5_TX/SDIO_CK	USART3_CK
54	PD2	I/O	FT	PD2	TIM3_ETR/UART5_RX SDIO_CMD	
55	PB3	I/O	FT	JTDO	SPI3_SCK/I2S3_CK	PB3/TRACESWO TIM2_CH2/SPI1_SCK
56	PB4	I/O	FT	NJTRST	SPI3_MISO	PB4/TIM3_CH1/ SPI1_MISO
57	PB5	I/O	-	PB5	I2C1_SMBA/SPI3_MOSI /I2S3_SD	TIM3_CH2/SPI1_MOSI
58	PB6	I/O	FT	PB6	I2C1_SCL/TIM4_CH1	USART1_TX
59	PB7	I/O	FT	PB7	I2C1_SDA/TIM4_CH2	USART1_RX
60	BOOT0	I	-	BOOT0	-	-
61	PB8	I/O	FT	PB8	TIM4_CH3/SDIO_D4/ TIM10_CH1	I2C1_SCL/CAN_RX
62	PB9	I/O	FT	PB9	TIM4_CH4/SDIO_D5/ TIM11_CH1	I2C1_SDA/CAN_TX
63	VSS_3	S	-	VSS_3	-	-
64	VDD_3	S	-	VDD_3	-	-

(1) FT = 5V容忍

4 电气特性

测试条件

除非特别说明，所有电压的都以VSS为基准。

4.1.1 最小和最大数值

除非特别说明，在生产线上通过对100%的产品在环境温度 $T_A=25^{\circ}\text{C}$ 下执行的测试，所有最小和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

在每个表格下方的注解中说明为通过综合评估、设计模拟和/或工艺特性得到的数据，不会在生产线上进行测试；在综合评估的基础上，最小和最大数值是通过样本测试后，取其平均值再加减三倍的标准分布(平均 $\pm 3\sigma$)得到。

4.1.2 典型数值

除非特别说明，典型数据是基于 $T_A=25^{\circ}\text{C}$ 和 $V_{DD}=3.3\text{V}$ 。这些数据仅用于设计指导而未经测试。

典型的ADC精度数值是通过对一个标准的批次采样，在所有温度范围下测试得到，95%产品的误差小于等于给出的数值(平均 $\pm 2\sigma$)。

4.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

4.1.4 负载电容

测量引脚参数时的负载条件示于图4

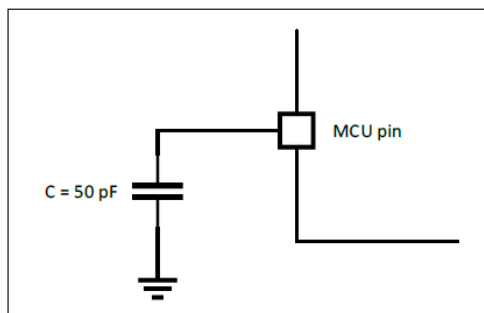


图 3 引脚的负载条件

4.1.5 引脚输入电压

引脚上输入电压的测量方式示于图5

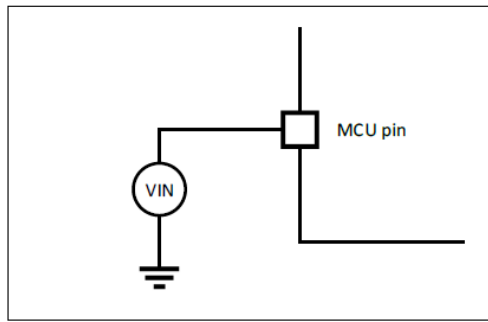


图 4 引脚输入电压

4. 1. 6 供电方案

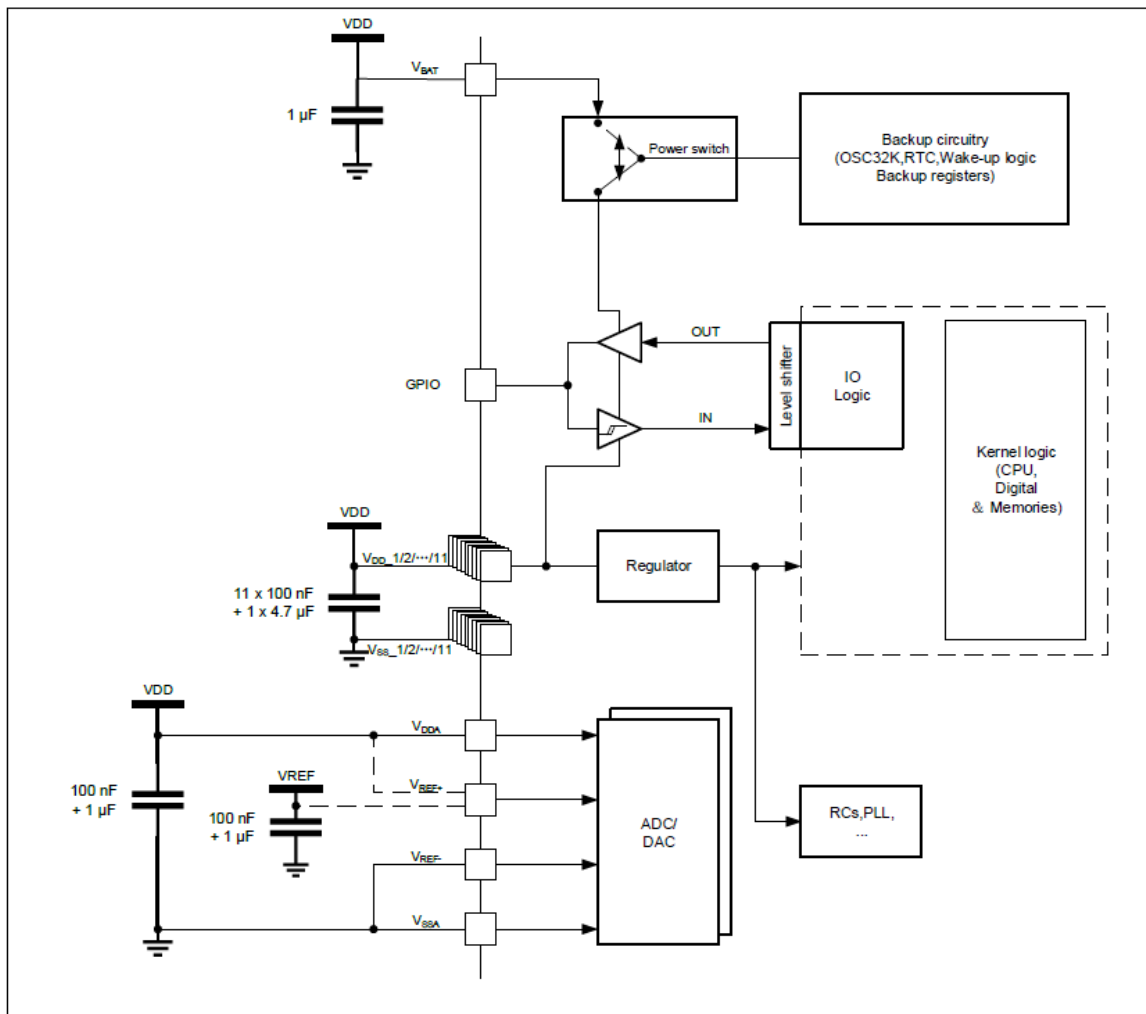


图 5 供电方案

4. 1. 7电流消耗测量

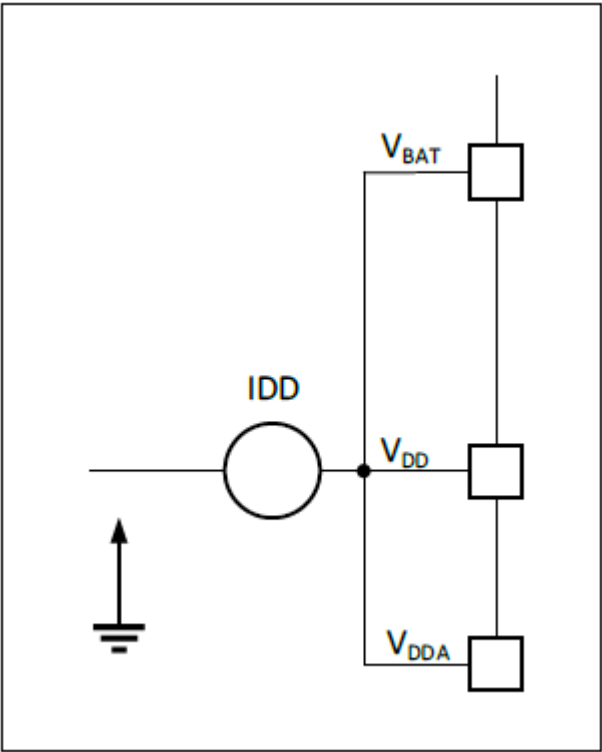


图 6 电流消耗测量方案

绝对最大额定值

加在器件上的载荷如果超过’绝对最大额定值’列表(表6、7、8)中给出的值，可能会导致器件永久性损坏。这里只是给出能承受的最大载荷，并不意味着在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 6 电压特性

符号	描 述	最小值	最大值	单 位
VDD - VSS	外部主供电电压 (包含VDDA和VDD) (1)	-0.3	4	V
VIN	在5V容忍的引脚上的输入电压 (2)	Vss-0.3	Vdd+4.0	
	在其它引脚上的输入电压 (2)	Vss-0.3	4.0	
Δ VDDx	不同供电引脚之间的电压差	—	50	mV
VSSx-VSS	不同接地引脚之间的电压差	—	50	

(1) 所有的电源 (VDD, VDDA) 和地 (VSS, VSSA) 引脚必须始终连接到外部允许范围内的供电系统上。

(2) 包含VREF-脚

表 7 电流特性

符号	描述	最大值 (1)	单位
IVDD	经过VDD/VDDA电源线的总电流 (供应电流) (1)	150	mA
IVSS	经过VSS地线的总电流 (流出电流) (1)	150	
IIO	任意I/O和控制引脚上的输出灌电流	25	
	任意I/O和控制引脚上的输出电流	-25	

(1) 所有的电源 (VDD, VDDA) 和地 (VSS, VSSA) 引脚必须始终连接到外部允许范围内的供电系统上。

表 8 温度特性

符号	描述	数值	单位
TSTG	储存温度范围	-65 ~ +150	℃
TJ	最大结温度	105	℃

工作条件

4. 1. 8通用工作条件

表 9 通用工作条件

符号	参数	条件	最小值	最大值	单 位
fHCLK	内部AHB时钟频率	—	0	216	MHz
fPCLK1	内部APB1时钟频率	—	0	108	
fPCLK2	内部APB2时钟频率	—	0	216	
VDD	标准工作电压	—	2.0	3.6	V
VDDA (1)	模拟部分工作电压	必须与VDD (2) 相同	2.0	3.6	V
VBAT	备份部分工作电压		1.6	3.6	V
TA	环境温度	—	-40	85	℃

(1) 建议使用相同的电源为VDD和VDDA供电，

4. 1. 9上电和掉电时的工作条件

下表中给出的参数是依据表8列出的环境温度下测试得出。

表 10 上电和掉电时的工作条件

符号	参数	条件	最小值	最大值	单 位
tVDD	VDD上升速率	—	0	∞	us/V
	VDD下降速率		20	∞	

4. 1. 10 内嵌复位和电源控制模块特性

下表中给出的参数是依据表8列出的环境温度和表6列出的VDD供电电压下测试得出。

表 11 内嵌复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单 位
VPVD	可编程的电压检测器的电平选择	PLS[2:0]=000（上升沿）	2.1	2.16	2.26	V
		PLS[2:0]=000（下降沿）	2	2.07	2.16	V

		PLS[2:0]=001 (上升沿)	2.19	2.26	2.37	V
		PLS[2:0]=001 (下降沿)	2.09	2.17	2.27	V
		PLS[2:0]=010 (上升沿)	2.28	2.35	2.48	V
		PLS[2:0]=010 (下降沿)	2.18	2.26	2.38	V
		PLS[2:0]=011 (上升沿)	2.38	2.48	2.58	V
		PLS[2:0]=011 (下降沿)	2.28	2.36	2.48	V
		PLS[2:0]=100 (上升沿)	2.47	2.55	2.69	V
		PLS[2:0]=100 (下降沿)	2.37	2.45	2.59	V
		PLS[2:0]=101 (上升沿)	2.57	2.66	2.79	V
		PLS[2:0]=101 (下降沿)	2.47	2.57	2.69	V
		PLS[2:0]=110 (上升沿)	2.66	2.76	2.9	V
		PLS[2:0]=110 (下降沿)	2.56	2.67	2.8	V
		PLS[2:0]=111 (上升沿)	2.76	2.85	3	V
		PLS[2:0]=111 (下降沿)	2.66	2.77	2.9	V
VPVDhyst(1)	PVD迟滞	—	—	100	—	mV
VPOR/PDR	上电/掉电复位 阈值	下降沿	—	1.90	—	V
		上升沿	—	2.02	—	V
VPDRhyst(1)	PDR迟滞	—	—	30	—	mV
TRSTTEMPO(1)	复位持续时间	—	—	2	—	ms

(1) 由设计保证，不在生产中测试。

4.1.11 内置的参照电压

下表中给出的参数是依据表8列出的环境温度和表6列出的VDD供电电压下测试得出。

表 12 内置的参照电压

符号	参数	条件	最小值	典型值	最大值	单位
VREFINT	内置参照电压	-40℃ < TA < +85℃	1.16	1.20	1.24	V
TS_vrefint(1)	当读出内部参照电压时，ADC的采样时间	—	—	5.1	17.1	us
TCoeff(2)	温度系数	—	—	—	100	ppm/℃

- (1) 最短的采样时间是通过应用中的多次循环得到。
- (2) 由设计保证，不在生产中测试。

4.1.12 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O引脚的负载、产品的软件配置、工作频率、I/O脚的翻转速率、程序在存储器中的位置以及执行的代码等。电流消耗的测量方法说明，详见测试条件章节的电流消耗测试量说明。

电流消耗

微控制器处于下列条件：

- 所有的I/O引脚都处于模拟输入模式。
- 所有的外设都处于关闭状态，除非特别说明。
- 当开启外设时：fPCLK1 = fHCLK/2，fPCLK2 = fHCLK。

表 13 运行模式下电流消耗

符号	参数	条件	fHCLK	典型值(1)		最大值(2)		单位
				使能所有 外设	关闭所有 外设	使能所有 外设	关闭所有 外设	
IDD	运行模式下的 供应电 流	外部时钟 (3)	216MHz	36.29	25.49	38.50	27.56	mA
			168MHz	27.71	19.27	29.95	21.35	
			72MHz	13.09	9.38	14.93	11.21	
			48MHz	9.35	6.93	11.18	8.74	
			32MHz	6.88	5.25	8.68	7.04	
			24MHz	5.67	4.46	7.41	6.20	
			16MHz	4.43	3.63	6.16	5.34	
			8MHz	3.28	2.58	4.98	4.54	
		运行于高 速内部RC 振荡器 (HSI)	128MHz	21.64	15.19	23.89	17.27	mA
			72MHz	13.03	9.39	15.03	11.31	
			48MHz	9.34	6.92	11.26	8.78	
			32MHz	7.55	5.73	8.73	7.08	
			24MHz	5.69	4.49	7.74	6.24	
			16MHz	4.45	3.66	6.21	5.39	
			8MHz	3.30	3.88	5.02	4.57	

(1) 典型值是在TA=25℃、VDD=3.3V时测试得到。

(2) 最大值是在TA=85℃、VDD=3.6V时测试得到。

(3) 外部时钟为8MHz，当fHCLK>8MHz时启用PLL。

表 14 睡眠模式下的电流消耗，代码运行在Flash中

符号	参数	条件	fHCLK	典型值(1)		最大值(2)		单位
				使能所有 外设	关闭所有 外设	使能所有 外设	关闭所有 外设	
IDD	睡眠模式下的 供应电流	外部时钟 (3)	216MHz	25.72	7.01	27.73	8.70	mA
			168MHz	19.46	4.81	21.49	6.58	
			72MHz	9.53	3.25	11.31	4.92	
			48MHz	6.99	2.81	8.76	4.51	
			32MHz	5.32	2.54	7.07	4.23	
			24MHz	4.50	2.41	6.22	4.09	
			16MHz	3.66	2.28	5.36	3.96	
			8MHz	2.90	2.17	4.57	3.84	
		运行于高速内部RC 振荡器 (HSI)	128MHz	15.31	4.14	17.36	5.90	mA
			72MHz	9.47	3.20	11.36	4.93	
			48MHz	6.97	2.80	8.80	4.52	
			32MHz	5.32	2.54	7.11	4.26	
			24MHz	4.49	2.41	6.25	4.12	
			16MHz	3.65	2.27	5.39	3.98	
			8MHz	2.89	2.17	4.61	3.87	

(1) 典型值是在TA=25℃、VDD=3.3V时测试得到。

(2) 最大值是在TA=85℃、VDD=3.6V时测试得到。

(3) 外部时钟为8MHz，当fHCLK>8MHz时启用PLL。

表 15 停机和待机模式下的典型和最大电流消耗

符号	参数	条件	典型值(1)	最大值(2)	单位
IDD	停机模式下的 供应电流	调压器处于运行模式，低速、高速内部RC振荡器和外部高速振荡器处于关闭状态(没有独立看门狗)	210	1290	uA
		调压器处于低功耗模式，低速、高速内部RC振荡器和外部高速振荡器处于关闭状态(没有独立看门狗)	150	1220	
	待机模式下的 供应电流	低速内部RC振荡器、外部低速振荡器和RTC、IWDG处于关闭状态	0.7	2.2	

		低速内部RC振荡器处于开启状态，外部低速振荡器和RTC、IWDG处于关闭状态	1.0	2.5	
		外部低速振荡器处于开启状态，低速内部RC振荡器和RTC、IWDG处于关闭状态	1.0	2.6	
		外部低速振荡器和RTC处于开启状态，低速内部RC振荡器和IWDG处于关闭状态	1.3	2.7	
		低速内部RC振荡器和IWDG处于开启状态，外部低速振荡器和RTC处于关闭状态	1.0	2.7	
IDD_VB AT	备份区域的 供应电流	外部低速振荡器和RTC处于开启状态	0.9	1.3	

(1) 典型值是在TA=25℃、VDD=VBAT=3.3V时测试得到。

(2) 最大值是在TA=85℃、VDD=VBAT=3.6V时测试得到。

(3) 由综合评估得出，不在生产中测试

内置外设电流消耗

MCU的工作条件如下：

- 所有的I/O引脚都处于模拟输入模式
- 所有的外设都处于关闭状态，除非特别说明。
- 给出的数值是通过测量电流消耗计算得出
 - ◆ 关闭所有外设的时钟
 - ◆ 只开启一个外设的时钟

表 16 内置外设的电流消耗

内置外设		25℃时的 典型功耗	单位
APB1	TIM2	2.08	uA/MHz
	TIM3	2.36	
	TIM4	2.22	
	TIM5 (2)	2.08	
	TIM6	0.14	
	TIM7	0.14	
	SPI2/I2S (2)	0.97	
	SPI3/I2S (2)	0.83	

	USART2	0.56	
	USART3	0.56	
	UART4 (2)	0.56	
	UART5 (2)	0.56	
	I2C1	1.81	
	I2C2	1.81	
	USB	5.42	
	CAN	1.11	
	SDIO (2)	7.92	
	WWDG	0.24	
	DAC	0.58	
	PWR	0.008	
	BKP	0.11	
APB2	ADC1 (1)	5	
	ADC2 (1)	5	
	ADC3 (1) (2)	5	
	TIM1	3.71	
	TIM8 (2)	3.76	
	SPI1	1.83	
	USART1	1.39	

(1) ADC的特殊条件：fHCLK=56MHz，fAPB1 = fHCLK/2，fAPB2 = fHCLK，fADCCLK = fAPB2/4，ADC_CR2寄存器的ADON=1。

(2) MH32F103ARxxx型号有所标识的模块，MH32F103ACxxx型号有没有所标识的模块。

4.1.13 外部时钟源特性

来自外部振荡源产生的高速外部用户时钟

下表中给出的特性参数是使用一个高速的外部时钟源测得，环境温度和供电电压符合表6、表8的条件。

表 17 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
fHSE_ext	用户外部时钟频率 (1)	—	0.615	8	35	MHz
VHSEH	OSC_IN输入引脚高电平电压		0.48Vdd	—	Vdd	V
VHSEL	OSC_IN输入引脚低电平电压		Vss	—	0.38Vdd	
tw(HSE)	OSC_IN高或低的时间 (1)		5	62.5	—	ns

tw(HSE)						
tr(HSE)	OSC_IN上升或下降的时间 (1)		—	4.1	20	
tf(HSE)						
Cin(HSE)	OSC_IN输入容抗(1)	—	—	5	—	pF
DuCy(HSE)	占空比	—	45	50	55	%

(1) 由设计保证，不在生产中测试。

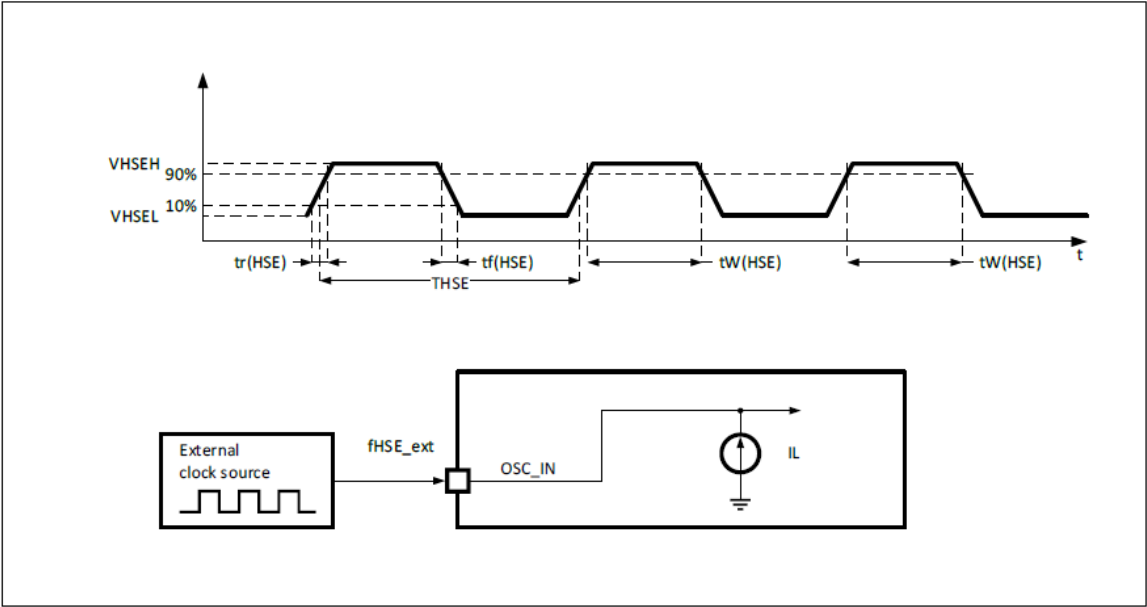


图 7 外部高速时钟源的交流时序图

来自外部振荡源产生的低速外部用户时钟

下表中给出的特性参数是使用一个低速的外部时钟源测得，环境温度和供电电压符合表6、表8的条件。

表 18 低速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
fHSE_ext	用户外部时钟频率(1)	—	—	32.768	1000	KHz
VLSEH	OSC32_IN输入引脚高电平电压		0.48Vdd	—	VDD	V
VLSEL	OSC32_IN输入引脚低电平电压		VSS	—	0.38Vdd	
tw(LSE) tw(LSE)	OSC32_IN高或低的时间(1)		450	—	—	ns
tr(LSE) tf(LSE)	OSC32_IN上升或下降的时间 (1)		—	—	50	
Cin(LSE)	OSC32_IN输入容抗(1)		—	—	5	
DuCy(LSE)	占空比	—	30	—	70	%

(1) 由设计保证，不在生产中测试。

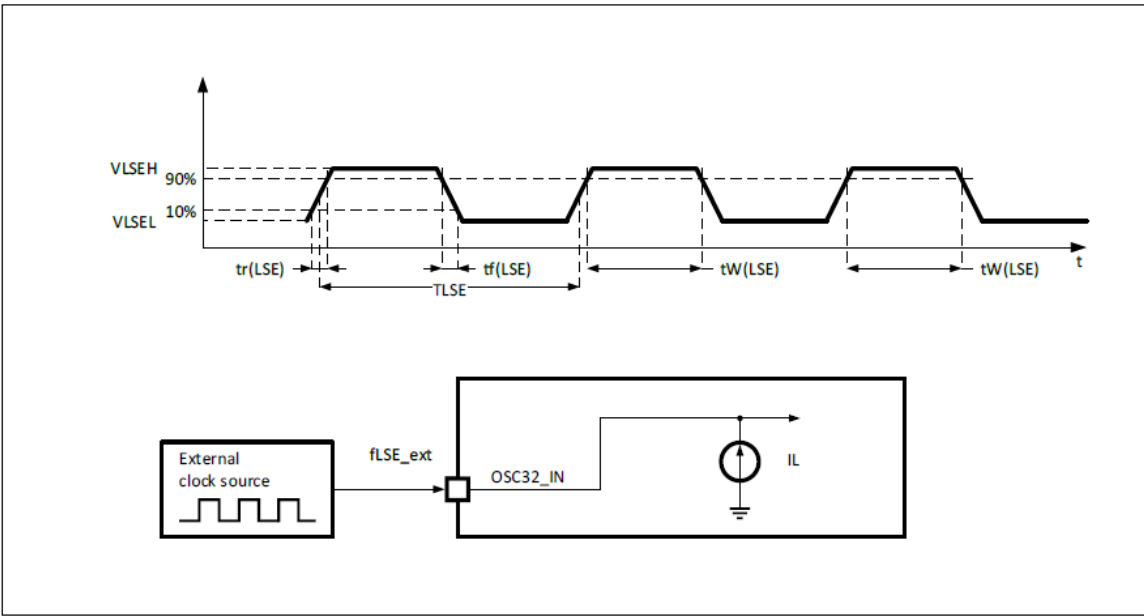


图 8 外部低速时钟源的交流时序图

使用一个晶体/陶瓷谐振器产生的高速外部时钟

高速外部时钟 (HSE) 可以使用一个4~32MHz的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。(译注：这里提到的晶体谐振器就是我们通常说的无源晶振)

表 19 HSE 4~32MHz振荡器特性(1) (2)

符号	参数	条件		最小值	典型值	最大值	单位
fOSC_IN	振荡器频率	—		4	8	32	MHz
tSU(HSE) (5)	启动时间	VDD是稳定的	TA = -40℃	—	790	—	us
			TA = 25 ℃	—	860	—	
			TA = 85 ℃	—	960	—	

(1) 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。

(2) 由综合评估得出，不在生产中测试。

(3) tSU(HSE)是启动时间，是从软件使能HSE开始测量，直至得到稳定的8MHz振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

对于CL1和CL2，建议使用高质量的、为高频应用而设计的(典型值为)5 pF~25 pF之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常CL1和CL2具有相同参数。晶体制造商通常以CL1和CL2的串行组合给出负载电容的参数。在选择CL1和CL2时，PCB和MCU引脚的容抗应该考虑在内(可以粗略地把引脚与PCB板的电容按10 pF估计)。

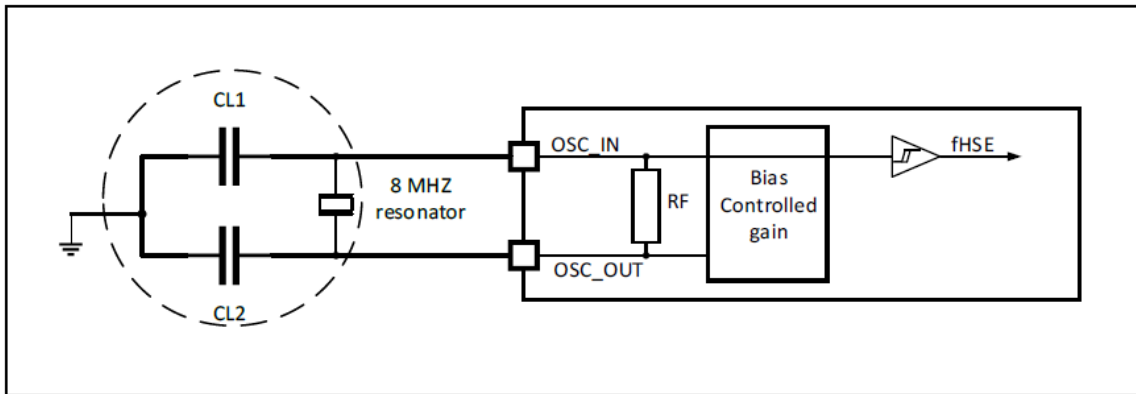


图 9 使用8MHz晶体的典型应用

使用一个晶体/陶瓷谐振器产生的低速外部时钟

低速外部时钟 (LSE) 可以使用一个32.768kHz的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。(译注：这里提到的晶体谐振器就是我们通常说的无源晶振)

表 20 LSE 振荡器特性 (fLSE=32.768kHz) (1)

符号	参数	条件		最小值	典型值	最大值	单位
tSU (HSE) (5)	启动时间	VDD是稳定的	TA = -40℃	—	321	—	ms
			TA = 25 ℃	—	221	—	
			TA = 85 ℃	—	223	—	

(1) 由综合评估得出，不在生产中测试。

对于CL1和CL2，建议使用高质量的5 pF~15 pF之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常CL1和CL2具有相同参数。晶体制造商通常以CL1和CL2的串行组合给出负载电容的参数。

负载电容CL由下式计算： $CL = CL1 \times CL2 / (CL1 + CL2) + C_{stray}$ ，其中Cstray是引脚的电容和PCB板或PCB相关的电容，它的典型值是介于2 pF至7 pF之间。

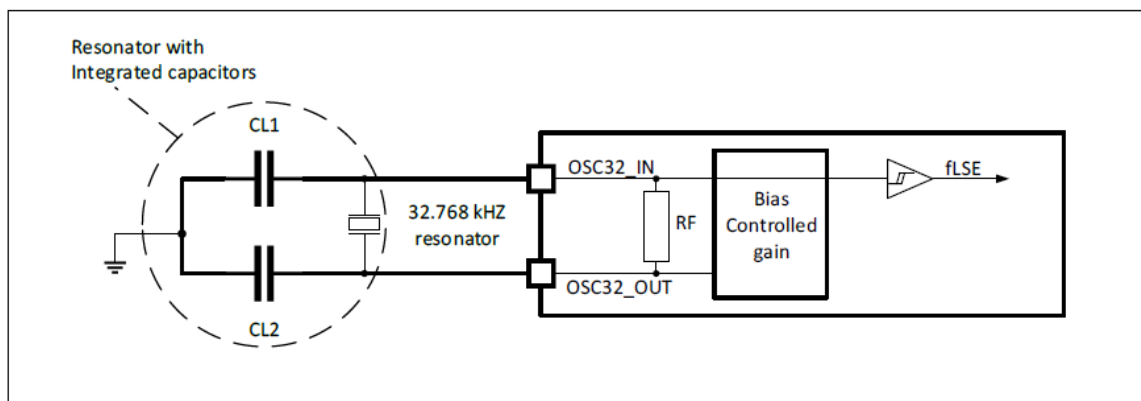


图 10 使用32.768KHz晶体的典型应用

4.1.14 内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合表8、表6的条件测量得到。

高速内部(HSI)RC振荡器

表 21 HSI振荡器特性(1)

符号	参数	条件	最小值	典型值	最大值	单位
fHSI	频率	—	—	8	—	MHz
ACCHSI	HSI振荡器的精度	TA = -40~85℃	-2.5	—	2.5	%
		TA = 0~70℃	-1	—	1	%
		TA = 25℃	-0.5	—	0.5	%
tSU(HSI)	HSI振荡器启动时间	—	—	12	—	us
IDD(HSI)	HSI振荡器功耗	—	—	3.5	—	uA

(1) VDD = 3.3V, TA = -40~85℃, 除非特别说明。

低速内部(LSI)RC振荡器

表 22 LSI振荡器特性(1)

符号	参数	条件	最小值	典型值	最大值	单位
fLSI (2)	频率	—	33	40	43	kHz
tSU(LSI) (3)	LSI振荡器启动时间	—	—	75	—	us
IDD(LSI) (3)	LSI振荡器功耗	—	—	0.28	—	uA

(1) VDD = 3.3V, TA = -40~85℃, 除非特别说明。

(2) 由综合评估得出, 不在生产中测试

(3) 由设计保证, 不在生产中测试

4.1.15 从低功耗模式唤醒的时间

下表列出的唤醒时间是在一个8MHz的HSI RC振荡器的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定:

- 停机或待机模式: 时钟源是RC振荡器
- 睡眠模式: 时钟源是进入睡眠模式时所使用的时钟

所有的时间是使用环境温度和供电电压符合表8, 表6的条件测量得到。

表 23 低功耗模式的唤醒时间

符号	参数	典型值	单位
tWUSLEEP (1)	从睡眠模式唤醒	10	CPU clock cycle
tWUSTOP (1)	从停机模式唤醒(调压器为低功耗模式)	12	us
tWUSTDBY (1)	从待机模式唤醒	1600 (2) / 260 (3)	us

(1) 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。

- (2) 针对MH32F103ACCT6, MH32F103ARPT6型号
- (3) 针对MH32F103ACBT6型号

4. 1. 16 PLL特性

下表列出的参数是使用环境温度和供电电压符合表8，表6的条件测量得到。

表 24 PLL特性

符号	参数	数值			单位
		最小值	典型值	最大值(1)	
fPLL_IN	PLL输入时钟 (2)	2	8	32	MHz
	PLL输入时钟 占空比	40	—	60	%
fPLL_OUT	PLL倍频输出时钟	4	—	216	MHz
tLOCK	PLL锁相时间	—	51.2	87.8	us
Jitter	循环抖动	—	—	200	ps

- (1) 由综合评估得出，不在生产中测试。
- (2) 需要注意使用正确的倍频系数，从而根据PLL输入时钟频率使得fPLL_OUT处于允许范围内。

4. 1. 17 存储器特性

闪存存储器

除非特别说明，所有特性参数是在TA = -40~85℃得到。

表 25 闪存存储器特性

符号	参数	条件	典型值	单位
tPROG	16位的编程时间	—	50us	us
tERASE	页擦除时间	—	25	ms
tME	整片擦除时间	—	3	s

表 26 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值(1)	典型值	最大值	单位
NEND	寿命(译注：擦写次数)	TA = -40~85℃	100	—	—	千次
tRET	数据保存期限	TA = 105℃	20	—	—	年

- (1) 由综合评估得出，不在生产中测试。

4. 1. 18 绝对最大值(电气敏感性)

静电放电(ESD)

静电放电(一个正的脉冲然后间隔一秒钟后一个负的脉冲)施加到所有样品的所有引脚上，样品的大小与芯片上供电引脚数目相关(3片 x (n+1) 供电引脚)。这个测试符合JEDEC EIA/JESD22-A114标准。

表 27 ESD绝对最大值

符号	参数	条件	类型	最大值(1)	单位
VESD(HBM)	静电放电电压(人体模型)	T A = +25 ° C, 符合JEDEC EIA/JESD22-A114	3A	4000	V

(1) 由综合评估得出，不在生产中测试。

4. 1. 19 I/O端口特性

通用输入/输出特性

除非特别说明，下表列出的参数是符合表8, 表6的条件测量得到。所有的I/O端口都是兼容CMOS和TTL。

表 28 I/O静态特性

符号	参数	条件	最小值	典型值	最大值	单位
VIL	输入低电平电压	—		—	1.38	V
VIH	标准I/O脚, 输入高电平电压		1.59	—	—	
	FT I/O脚(1), 输入高电平电压		1.59	—	—	
Vhys	标准I/O脚施密特触发器电压迟滞(2)	—	—	0.21	—	V
	5V容忍I/O脚施密特触发器电压迟滞(2)		—	0.21	—	V
I _{lkg}	输入漏电流(4)	VSS ≤ VIN ≤ VDD 标准I/O端口	—	—	±0.5	uA
		VIN = 5V, 5V容忍端口	—	—	±1	
RPU	弱上拉等效电阻(5)	VIN = VSS	37	—	38.5	k Ω
RPD	弱下拉等效电阻(5)	VIN = VDD	43.7	—	45.7	k Ω
CIO	I/O引脚的电容			5		pF

输出电压

除非特别说明，下表列出的参数是使用环境温度和VDD供电电压符合表8，表6的条件测量得到。所有的I/O端口都是兼容CMOS和TTL的。

表 29 输出电压特性

符号	参数	条件	最小值	最大值	单位
VOL	输出低电平	TTL端口， $I_{IO} = +12\text{mA}$ VDD=3.3V		0.4	V
VOH	输出高电平		2.9		
VOL	输出低电平	CMOS端口， $I_{IO} = +14\text{mA}$ VDD=3.3V		0.4	
VOH	输出高电平		2.9		
VOL	输出低电平	$I_{IO} = +34\text{mA}$ VDD=3.3V		1.3	
VOH	输出高电平		2		

4.1.20 NRST引脚特性

NRST引脚输入驱动使用CMOS工艺，它连接了一个不能断开的上拉电阻，RPU(参见表27)。

除非特别说明，下表列出的参数是使用环境温度和供电电压符合表8，表6的条件测量得到。

表 30 NRST引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
VIL (NRST) (1)	NRST输入低电平电压	—	—	1.31	—	V
VIH (NRST) (1)	NRST输入高电平电压	—	—	1.57	—	
Vhys (NRST)	NRST施密特触发器电压迟滞	—	—	260	—	mV
RPU	弱上拉等效电阻 (2)	VIN=VSS	—	37	—	k Ω
VF (NRST) (1)	NRST输入滤波脉冲	—	—	120	—	ns
VNF (NRST) (1)	NRST输入非滤波脉冲	—	25	—	—	ns

(1) 由设计保证，不在生产中测试。

建议的NRST引脚保护

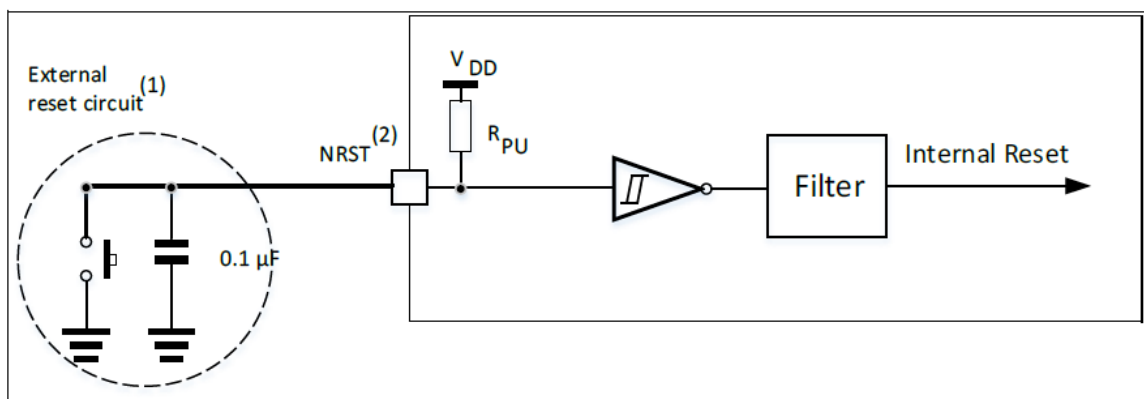


图 11 建议的NRST引脚保护

(1) 复位网络是为了防止寄生复位。

(2) 用户必须保证NRST引脚的电位能够低于表30中列出的最大VIL (NRST) 以下，否则MCU不能得到复位。

4.1.21 TIM定时器特性

下表列出的参数由设计保证。

表 31 TIMx特性

符号	参数	最小值	最大值	单位
tres (TIM)	定时器分辨时间	1	—	tTIMxCLK
fEXT	CH1至CH4的定时器外部时钟频率	0	FTIMCLK/2	MHz
ResTIM	定时器分辨率	—	16	位
tCOUNTER	当选择了内部时钟时，16位计数器时钟周期	1	65535	tTIMxCLK
tMAX_COUNT	最大可能的计数	—	65535*65535	tTIMxCLK

4.1.22 CAN(控制器局域网)接口

有关输入输出复用功能引脚(CAN_TX和CAN_RX)的特性详情，参见IO端口特性章节。

4.1.23 12位ADC特性

除非特别说明，下表的参数是使用符合表8，表6的条件的环境温度、fPCLK2频率和VDDA供电电压测量得到。

注意：建议在每次上电时执行一次校准。

表 32 ADC特性

符号	参数	条件	最小值	典型值	最大值	单位
----	----	----	-----	-----	-----	----

VDDA	供电电压	—	2.3	3.3	3.6	V
VREF+	正参考电压	—	2.3	—	VDDA	V
fADC	ADC时钟频率	—	0.6	—	14	MHz
fS (2)	采样速率	—	0.05	—	1	MHz
fTRIG (2)	外部触发频率	fADC = 14MHz	—	—	823	kHz
VAIN	转换电压范围 (3)	—	0		VREF+	V
RAIN (2)	外部输入阻抗	—	—	—	50	k Ω
RADC (2)	采样开关电阻	—	—	—	1	k Ω
CADC (2)	内部采样和保持电容	—	—	—		pF
tCAL (2)	校准时间	fADC = 14MHz	5.9			us
			83			1/fADC
tlat (2)	注入触发转换时延迟	fADC = 14MHz	—	—	0.214	us
			—	—	3	1/fADC
tlatr (2)	常规触发转换时延迟	fADC = 14MHz	—	—	0.143	us
			—	—	2	1/fADC
tS (2)	采样时间	fADC = 14MHz	0.107	—	17.1	us
			1.5	—	239.5	1/fADC
tSTAB (2)	上电时间	—	0	0	1	us
tCONV (2)	总的转换时间 (包括采样时间)	fADC = 14MHz			18	us
			14到252 (ts+ 12.5用于逐次逼近)			1/fADC

(1) 由综合评估保证，不在生产中测试。

(2) 由设计保证，不在生产中测试。

(3) 依据不同的封装，VREF+可以在内部连接到VDDA，VREF-可以在内部连接到VSSA。详见第3章。

(4) 对于外部触发，必须在表32列出的时延中加上一个延迟1/fPCLK2。

表 33 fADC=14MHz (1) 时的最大RAIN

TS (周期)	tS (us)	最大RAIN (k Ω)
1.5	0.11	0.4
7.5	0.54	5.9
13.5	0.96	11.4

28.5	2.04	25.2
41.5	2.96	37.2
55.5	3.96	50
71.5	5.11	—
239.5	17.11	—

(1) 由设计保证，不在生产中测试。

4.1.24 DAC电气参数

表 34 DAC特性

符号	参数	最小值	典型值	最大值	单位	注释
VDDA	模拟供电电压	2.0	—	3.6V	V	
VREF+	参考电压	2.0	—	3.6V	V	VREF+必须始终低于VDDA
VSSA	地线	0	—	0	V	—
RLOAD(1)	缓冲器打开时的负载电阻	5	—	—	k Ω	—
RO(2)	缓冲器关闭时的输出阻抗	—	—	15	k Ω	—
CLOAD(1)	负载电容	—	—	50	pF	在DAC_OUT引脚上的大电容(缓冲器打开时)
DAC_OUT小(1)	缓冲器打开时低端的DAC_OUT 电压	50	—	—	mV	给出了最大的DAC输出跨度
DAC_OUT大(1)	缓冲器打开时高端的DAC_OUT 电压	—	—	VREF+ — 0.2	V	
DAC_OUT小(1)	缓冲器关闭时低端的DAC_OUT电压	—	0.5	—	mV	给出了最大的DAC输出跨度
DAC_OUT大(1)	缓冲器关闭时高端的DAC_OUT电压	—	—	VREF+ — 0.03	V	
I	在静止模式(待机模式)DAC直流消耗	—	—	1.2	mA	无负载，输出Code为x800
DNL(2)	非线性失真(2个连续代码间的偏差-1LSB)	—	—	+2	LSB	DAC配置为12位

INL (2)	非线性积累 (在代码i 时测量的数值与代码 DAC_OUT大和代码 DAC_OUT小之间的连线间的偏差)	—	—	+4	LSB	DAC配置为12位
偏移误差 (2)	偏移误差 (代码0x800 时测量的数值与理想数值 $V_{REF+}/2$ 之间的偏差)	—	15	25	mV	$V_{REF+} = 3.3\text{ V}$ 时, DAC 配置为12位
tSETTLING	设置时间 (全范围: 10 位输入代码从小值转变为大值, DAC_OUT 达到其终值的 $\pm 1\text{ LSB}$)	—	3	4	us	$C_{LOAD} \leq 50\text{ pF}$, $R_{LOAD} \geq 5\text{ k}\Omega$
更新速率	当输入代码为较小变化时 (从数值 i变到 i+1 LSB), 得到正确 DAC_OUT 的大频率	—	—	1	MS/s	$C_{LOAD} \leq 50\text{ pF}$, $R_{LOAD} \geq 5\text{ k}\Omega$
tWAKEUP	从关闭状态唤醒的时间 (设置 DAC控制寄存器中的 ENx 位)	—	6.5	10	us	$C_{LOAD} \leq 50\text{ pF}$, $R_{LOAD} \geq 5\text{ k}\Omega$ 输入代码介于小和大可能数值之间
PSRR+ (1)	供电抑制比 (相对于 V_{DDA}) (静态直流测量)	—	-60	-50	dB	没有 R_{LOAD} , $C_{LOAD} \leq 50\text{ pF}$

(1) 由设计保证, 不在生产中测试。

(2) 由综合评估保证, 不在生产中测试。

4. 1. 25 温度传感器特性

表 35 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
Avg_Slope (1)	平均斜率	—	5	—	mV/°C
V25 (1)	在25°C时的电压	—	1.43 (4) / 1.18 (5)	—	V
tSTART (2)	建立时间	—	—	10	us
TS_temp (2) (3)	当读取温度时, ADC采样时间	—	—	17.1	us

- (1) 由综合评估保证，不在生产中测试。
- (2) 由设计保证，不在生产中测试。
- (3) 最短的采样时间可以由应用程序通过多次循环决定。
- (4) 针对MH32F103ACCT6, MH32F103ARPT6型号
- (5) 针对MH32F103ACBT6型号

利用下列公式得出温度：

$$\text{温度} (^{\circ}\text{C}) = \{ (V_{25} - V_{\text{SENSE}}) / \text{Avg_Slope} \} + 25$$

这里(1)：

V_{25} = VSENSE在25 ° C时的数值

Avg_Slope = 温度与VSENSE曲线的平均斜率(单位为mV/° C)

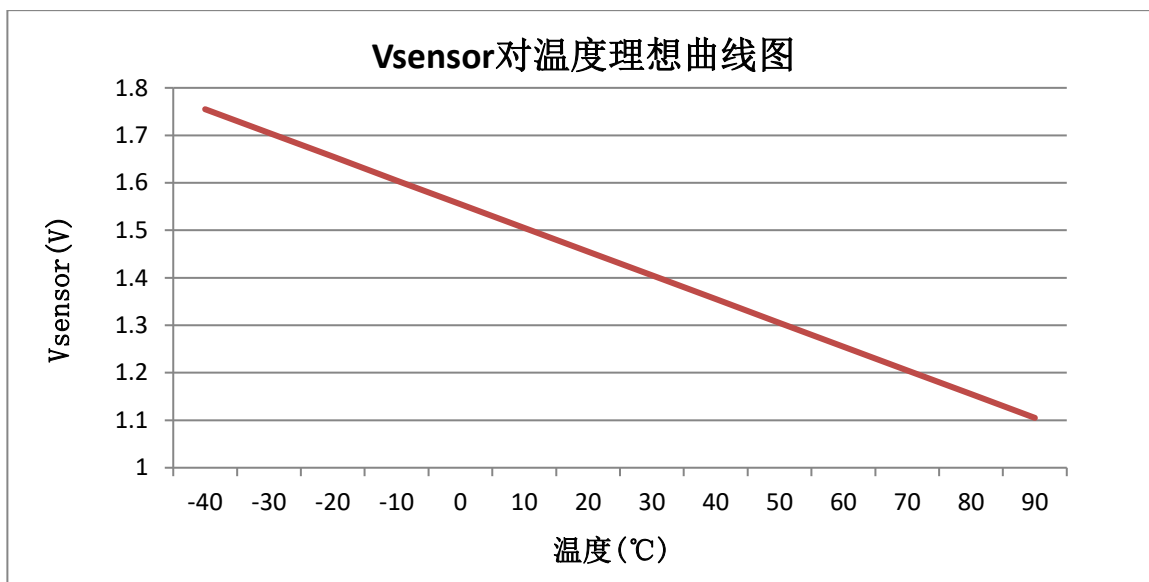


图 12 V SENSE 对温度理想曲线图(1)

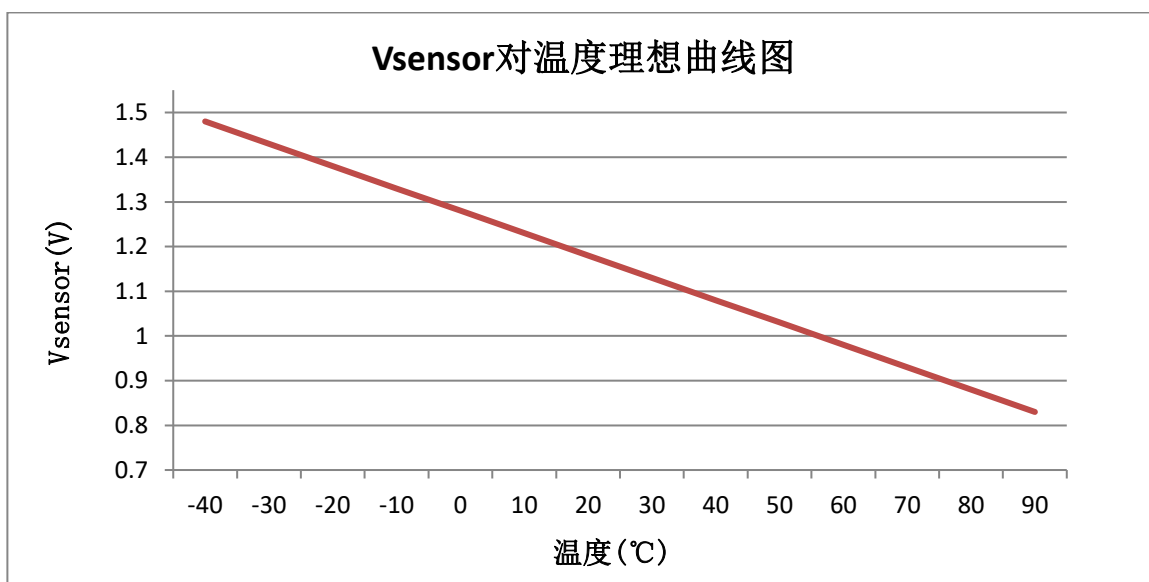
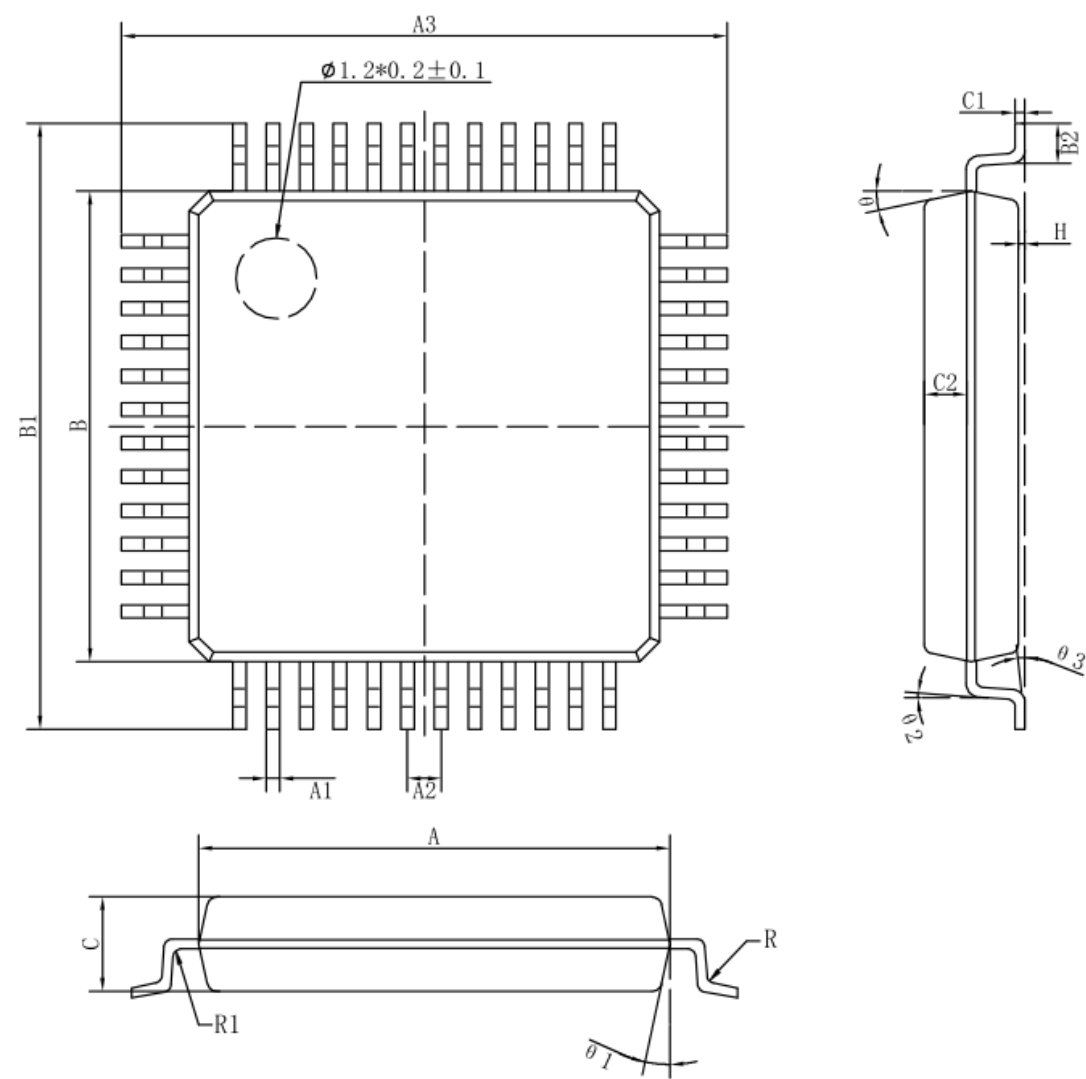


图 13 V SENSE 对温度理想曲线图(2)

5 封装特性

LQFP48封装



标注	尺寸	最小(mm)	最大(mm)	标注	尺寸	最小(mm)	最大(mm)
A		6.90	7.10	C2		0.636TYP	
A1		0.20TYP		H		0.05	0.15
A2		0.50TYP		θ		12° TYP4	
A3		8.80	9.20	$\theta 1$		12° TYP4	
B		6.90	7.10	$\theta 2$		4° TYP	
B1		8.80	9.20	$\theta 3$		0° ~ 5°	
B2		0.50	0.80	R		0.15TYP	
C		1.30	1.50	R1		0.12TYP	
C1		0.127	0.16				

图 14 LQFP48 7mm×7mm封装尺寸

LQFP64封装

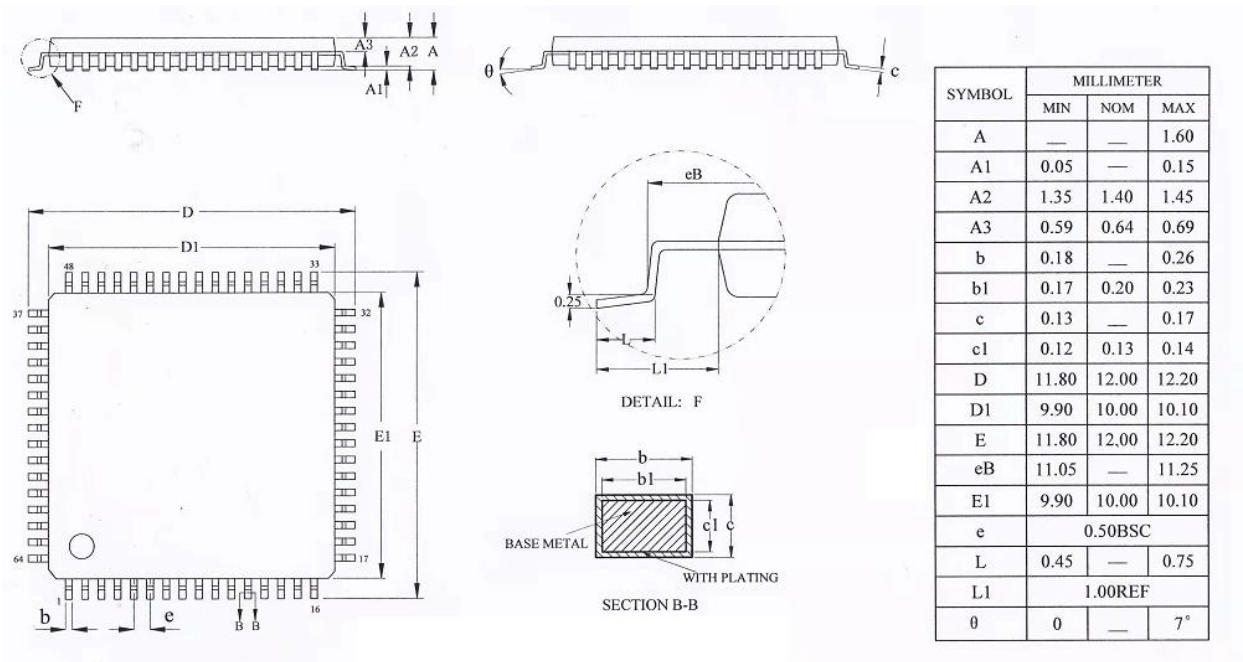


图 15 LQFP64 10mm×10mm封装尺寸

6 订货代码

表 36 MH32F103A系列订货代码信息图示
例如：

MH32 F103A C B T 6					
产品系列					
MH32 = 基于32位Core微控制器					
产品类型					
F103A = 通用主流系列					
引脚数目					
C = 48脚					
R = 64脚					
存储容量					
B = 128K Flash + 32K Sram					
C = 256K Flash + 64K Sram					
P = 256K Flash + 96K Sram					
封装信息					
T = LQFP					
U = QFN					
温度					
6 = -40~85℃					
7 = -40~105℃					

7 附录

表 37 文档版本历史

日期	版本	变更
2021-1-17	1.00	最初版本

前言

这篇迁移指南旨在帮助您分析从现有的SXX32F103器件移植到MH32F103A器件所需的步骤。本文档收集了最重要的信息，并列出了需要注意的重要事项。

要将应用程序从SXX32F103系列移植到MH32F103A系列，用户需要分析硬件移植、外设移植和固件移植。

支持型号列表：

支持型号	MH32F103A _{xxxx}
------	---------------------------

目录

1. 快速替换 SXX32F103 芯片 3

2. MH32F103A 外设使用差别 3

 2.1 系统功能 3

 BOOT1 管脚使用差异 3

 2.2 ADC 3

 ADC 配置连续触发后，关闭 ADON 或者进行 ADC 软复位，ADC 转化差异 3

 2.3 TIM 4

 通用定时器 TIM2-TIM5 的 Channel13 差异 4

 TIM2 重映射差异 4

 TIM 使用外部信号刹车，连续两次刹车的时间间隔小于一个 TIM 时钟周期时，现象差异 4

 2.4 CAN 5

 CAN 发送时间戳时，时间戳填充报文的位置差异 5

 2.5 FSMC 5

 异步 NOR Flash、PSRAM 和 NAND Flash 硬件 NWAIT 信号差异 5

 PC 卡控制器差异 5

历史版本 6

MH32F103A系列微控制器基本兼容SXX32F103系列，同时强化许多功能，有些许地方与SXX32F103不同，详述于本文档。

1. 快速替换 SXX32F103 芯片

- 步骤一：比对外设规格、Flash容量、SRAM容量等，解焊SXX32F103，换成MH32F103A对应型号
- 步骤二：使用ISP或KEIL, 下载SXX32F103 HEX文件或BIN文件。
- 步骤三：如果有需要，下载SXX32F103 HEX文件或BIN文件以外的资料或进行系统校正。
- 步骤四：查看程序能否正常运行。
- 步骤五：其他问题快速排查请参考2外设使用区别。
- 步骤六：如果经过上述步骤后程序仍无法正常运行，请参考本文件其他章节，或连络代理商及MH支持人员协助解决。

2. MH32F103A 外设使用差别

2.1 系统功能

B00T1 管脚使用差异

- 描述：

当 B00T1 悬空时

SXX32F103：识别为高，但是抗干扰能力较弱，容易被外界环境干扰

MH32F103A：为浮空状态，建议外部固定为高/低

2.2 ADC

ADC 配置连续触发后，关闭 ADON 或者进行 ADC 软复位，ADC 转化差异

- 描述：

SXX32F103：关闭 ADON 或者进行 ADC 软复位，ADC 转换停止

MH32F103A：

1. 关闭 ADON, ADC 连续转化未停止
 2. 进行 ADC 软复位, ADC 转换停止, 再次启动转换, 前几个量化值异常
- 解决方法:
1. 软件关 ADON 之前, 将连续转换配置为单次转换, 再关闭 ADON
 2. 连续转化过程中, 进行 ADC 软复位后, 再次启动需要等待上一次采样周期个 ADC_CLK

2.3 TIM

通用定时器 TIM2-TIM5 的 Channel3 差异

●描述:

SXX32F103: 通用定时器 TIM2-TIM5 的 Channel3 支持输入、输出功能

MH32F103A: 通用定时器 TIM2-TIM5 的 Channel3 只支持输入功能

●解决方法:

选择 TIM2-TIM5 的其他通道, 或者选择其他 TIM 的通道进行输出使用

TIM2 重映射差异

●描述:

当 TIM2_REMAP[1:0] = 01

SXX32F103: TIM2_CH1_ETH - PA15;TIM2_CH2 - PB3

MH32F103A: TIM2_CH1_ETH - PA0;TIM2_CH2 - PA1

当 TIM2_REMAP[1:0] = 10

SXX32F103: TIM2_CH1_ETH - PA0;TIM2_CH2 - PA1

MH32F103A: TIM2_CH1_ETH - PA15;TIM2_CH2 - PB3

●解决方法:

使用 TIM2 重映射, 注意 IO 配置的修改

TIM 使用外部信号刹车, 连续两次刹车的时间间隔小于一个 TIM 时钟周期时, 现象差异

●描述:

SXX32F103: 刹车标志正常置位, 正常清除

MH32F103A: 刹车标志正常置位, BIF 清除不掉、刹车中断清除不掉

●解决方法:

1. 软件配置刹车信号为普通输入 IO 中断, 不使用 BIF 和刹车中断
2. 在 BIF 置位或者刹车中断中, 进行软复位

2.4 CAN

CAN 发送时间戳时, 时间戳填充报文的位置差异

●描述:

CAN 配置时间触发通讯模式, 在最后 2 个数据字节发送时间戳时

SXX32F103: 时间戳[7:0]在数据包的 8Byte, 时间戳[15:8]在数据包的 7Byte

MH32F103A: 时间戳[7:0]在数据包的 7Byte, 时间戳[15:8]在数据包的 8Byte

●解决方法:

其他 CAN 节点使用接受到的时间戳时, 软件进行翻转

2.5 FSMC

异步 NOR Flash、PSRAM 和 NAND Flash 硬件 NWAIT 信号差异

●描述:

SXX32F103: 支持硬件解析 NWAIT 信号

MH32F103A: 不支持硬件解析 NWAIT 信号

●解决方法:

软件判断 NWAIT 信号

PC 卡控制器差异

●描述:

SXX32F103: 支持 PC 卡

MH32F103A: 不支持 PC 卡

历史版本

日期	版本	变更
2021. 10. 13	1. 00	最初版本